

# UNIVERSIDAD CARLOS III DE MADRID

Escuela Politécnica Superior

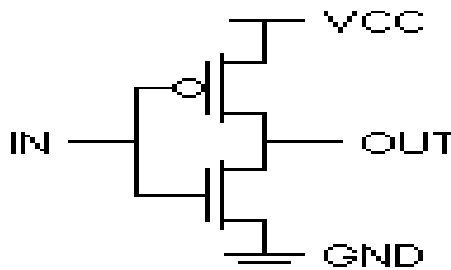


**INGENIERÍA EN ELECTRÓNICA INDUSTRIAL Y AUTOMÁTICA**

Departamento de Tecnología Electrónica

**TRABAJO FIN DE GRADO (TFG)**

**DISEÑO DE UN VCO CONTROLADO POR CORRIENTE EN  
TECNOLOGÍA CMOS.**



**Autor:** Antonio Salazar Corral

**Tutor:** Enrique Prefasi Sen



• <b>ÍNDICE DE FIGURAS.</b>	<b>5</b>
• <b>CAPITULO 1: INTRODUCCIÓN.</b>	<b>8</b>
○ 1.1 Introducción a los circuitos integrados.	8
○ 1.2 Planteamiento del problema.	10
○ 1.3 Planificación.	10
○ 1.4 Marco Regulador.	11
○ 1.5 Entorno Socio-Económico .	12
• <b>CAPITULO 2: DISEÑO MICROELECTRÓNICO.</b>	<b>13</b>
○ 2.1 Antecedentes del diseño microelectrónico.	13
○ 2.2 Tecnología CMOS.	15
▪ 2.2.1 ¿Qué es la tecnología CMOS?	16
▪ 2.2.2 El transistor, unidad principal.	17
▪ 2.2.3 El transistor MOSFET.	18
▪ 2.2.4 El inversor CMOS.	21
▪ 2.2.5 Otras configuraciones de inversor CMOS.	25
• <b>CAPITULO 3: VCO.</b>	<b>29</b>
○ 3.1 Concepto de VCO.	29
○ 3.2 ¿Para qué sirve un VCO?	31
○ 3.3 Tipos de VCO.	32
○ 3.4 Alternativas de diseño.	33
▪ 3.4.1 Oscilador en anillo.	33
▪ 3.4.2 Current Starved Inverter.	36
▪ 3.4.3 Current Starved VCO.	39
▪ 3.4.4 Current Starved VCO diferencial.	42
▪ 3.4.5 Current Starved VCO diferencial en modulación.	43
• <b>CAPITULO 4: CARACTERIZACIÓN DEL VCO.</b>	<b>45</b>
○ 4.1 Simulaciones.	45
▪ 4.1.1 Oscilador en anillo básico.	45
▪ 4.1.2 Current Starved VCO de 3 etapas.	46
▪ 4.1.3 Current Starved VCO con topología propuesta.	49
▪ 4.1.4 Current Starved VCO con nueva etapa de entrada.	51

▪ 4.1.5 Current Starved VCO con $R = 10K$ .	53
▪ 4.1.6 Current Starved VCO en modo diferencial.	55
● <b>CAPITULO 5: CONCLUSIONES.</b>	<b>61</b>
○ 5.1 Conclusiones.	61
○ 5.2 Futuros Trabajos	62
● <b>CAPITULO 6: ANEXOS Y BIBLIOGRAFÍA.</b>	<b>63</b>
○ 6.1 Anexos.	63
○ 6.2 Bibliografía.	68
○ 6.3 Artículos.	68

## ÍNDICE DE FIGURAS

---

### ➤ Capítulo 1: Introducción.

Fig. 1.1.1: Ejemplo de un System On Chip de un PLL.

### ➤ Capítulo 2: Diseño Microelectrónico.

Fig. 2.2.1 Datos históricos y Ley de Moore.

Fig. 2.2.3.1 Modelos de transistores.

Fig. 2.2.3.1 Transistor MOSFET tipo NMOS.

Fig. 2.2.3.2 Equivalente de un MOSFET en operación “weak inversion”.

Fig. 2.2.3.2 Formas de representar un transistor MOSFET PMOS y NMOS.

Fig. 2.2.4.1 Esquemático de un Inversor CMOS en LTspice.

Fig. 2.2.4.2 Función de transferencia de un inversor CMOS.

Fig. 2.2.4.3 Variación del tiempo de bajada inversor CMOS por variación de relación entre transistores.

Fig. 2.2.4.4 Esquemático de un inversor CMOS en conmutación.

Fig. 2.2.5.1 Topología alternativa 1 para inversor CMOS.

Fig. 2.2.5.2 Topología alternativa 2 para inversor CMOS.

Fig. 2.2.5.3 Topología alternativa 3 para inversor CMOS.

### ➤ Capítulo 3: VCO.

Fig. 3.1.1 Descripción de un VCO.

Fig. 3.1.2 Gráfica tensión-frecuencia de un VCO ideal.

Fig. 3.1.3 Gráfica tensión-frecuencia de un VCO real.

Fig.3.2.1. Diagrama de bloques de un PLL.

Fig. 3.4.1.1 Diagrama de un oscilador en anillo de tres etapas.

Fig.3.4.1.2 Esquemático oscilador en anillo de tres etapas.

Fig. 3.4.1.3 Esquemático oscilador en anillo de tres etapas con símbolos.

Fig. 3.4.1.4. Simulación de un oscilador en anillo de tres etapas (Fig. 3.4.1.3).

Fig. 3.4.2.1 Esquemático Current Starved Inverter clásico.

Fig. 3.4.2.2 Topología Current Starved Inverter propuesta.

Fig. 3.4.3.1 Esquemático Current Starved VCO.

Fig. 3.4.3.2 Esquemático Current Starved VCO de tres etapas modificado.

Fig. 3.4.3.3 Esquemático Current Starved VCO para linealizar la etapa de entrada.

Fig. 3.4.3.1 Esquemático Current Starved Inverter en modo diferencial.

Fig. 3.4.3.2 Esquemático Current Starved VCO en modo diferencial.

## ➤ **Capítulo 4: Caracterización del VCO.**

Fig. 4.1.1 Esquemático oscilador en anillo de tres etapas con símbolos.

Fig. 4.1.2 Simulación de un oscilador en anillo de tres etapas.

Fig. 4.1.3 Esquemático Current Starved VCO de 3 etapas.

Fig. 4.1.4 Esquemático Current Starved Inverter clásico.

Fig. 4.1.5 Simulación Current Starved VCO clásico de 3 etapas.

Fig. 4.1.6 Función de transferencia Current Starved VCO clásico de 3 etapas.

Fig. 4.1.7 Esquemático Current Starved VCO con topología propuesta.

Fig. 4.1.8 Esquemático topología propuesta Current Starved Inverter.

Fig. 4.1.9 Simulación Current Starved VCO de 3 etapas con topología propuesta.

Fig. 4.1.10 Función de transferencia Current Starved VCO de 3 etapas con topología propuesta.

Fig. 4.1.11 Esquemático Current Starved VCO de 3 etapas con nueva etapa de entrada.

Fig. 4.1.12 Simulación Current Starved VCO de 3 etapas con nueva etapa de entrada.

Fig. 4.1.13 Función de transferencia Current Starved VCO de 3 etapas con nueva etapa de entrada.

Fig. 4.1.14 Esquemático Current Starved VCO de 3 etapas con resistencia en la nueva etapa de entrada.

Fig. 4.1.15 Simulación Current Starved VCO de 3 etapas con resistencia en la nueva etapa de entrada.

Fig. 4.1.16 Función de transferencia Current Starved VCO de 3 etapas con resistencia.

Fig. 4.1.17 Esquemático Current Starved VCO de 3 etapas en modo diferencial.

Fig. 4.1.18 Simulación Current Starved VCO de 3 etapas en modo diferencial.

Fig. 4.1.19 Función de transferencia Current Starved VCO de 3 etapas en modo diferencial.

Fig. 4.1.20 Simulación Current Starved VCO con señal sinusoidal a la entrada.

Fig. 4.1.21 Esquemático Current Starved VCO de 11 etapas en modo diferencial.

Fig. 4.1.22 Simulación Current Starved VCO de 11 etapas en modo diferencial.

Fig. 4.1.23 Función de transferencia Current Starved VCO de 3 etapas en modo diferencial.

Fig. 4.1.24 Simulación Current Starved VCO de 3 etapas con señal sinusoidal a la entrada.

## *CAPITULO 1: Introducción.*

---

### ○ 1.1 Introducción de los circuitos integrados.

La evolución de la tecnología planar de circuitos integrados durante las últimas décadas ha estado prácticamente basada en un proceso de miniaturización de las máscaras fotolitográficas, permitiendo alcanzar en la actualidad una resolución de decimas de micra ( $\mu m$ ) o incluso de decimas de nano ( $nm$ ) y la consiguiente realización de circuitos que incorporan millones de transistores en una superficie de cristal de silicio del orden de dos centímetros cuadrados. El aumento de la complejidad de los circuitos que conlleva esta tecnología es el motor que ha permitido integrar de forma acelerada, y con la previsión de mantener este crecimiento durante los próximos años, circuitos con funciones más complejas y características más relevantes, especialmente la velocidad.

La capacidad fotolitográfica y, como consecuencia, la capacidad de integrar dispositivos de una tecnología, viene caracterizada por la magnitud “dimensión crítica”, usualmente coincidente con la longitud mínima del canal de los dispositivos CMOS ( $\lambda$ ), a la que son referidas las dimensiones de las máscaras y, correspondientemente, las de los dispositivos y líneas de interconexión integradas.

Cuando hablamos de los circuitos integrados estamos hablando indirectamente de SoC (**S**ystem **O**n **C**hip). Este término describe la tendencia de usar tecnologías de fabricación que integran todos o gran parte de los módulos que componen cualquier sistema electrónico o informático en un circuito integrado. El diseño de estos sistemas puede estar basado en circuitos de señal analógica, digital o incluso de señal mixta, y a menudo, sistemas de radiofrecuencia.

La principal diferencia entre un SoC con un microcontrolador clásico no ha de pasarse por alto puesto que las limitaciones de memoria de un microcontrolador son mayores y la gran parte de los mismos se basan en estructuras mono-chip, mientras que el termino SoC es usado para procesadores potentes y complejos como son los ordenadores actuales, y que dependen de chips o módulos de memoria externos para incrementar su eficacia.

Para sistemas mayores y complejos seria impropio hablar de SoC's, convirtiéndose el término en una mera referencia más que en seguir la realidad de estos, que es, aumentar la integración en un mismo chip con el objetivo de reducir costes y construir sistemas cada vez más reducidos (capaces de lo mismo o más que sistemas más antiguos y voluminosos).



Normalmente un SoC estándar está constituido por un conjunto de bloques que son un microcontrolador o microprocesador, módulos de memoria, generadores de frecuencia fija como osciladores y/o PLL etc.

Los PLL están formados a su vez por un bloque llamado VCO, por lo que su diseño y caracterización es de vital importancia para el PLL, o lo que es lo mismo, para nuestro SoC estándar. Esto quiere decir que si queremos disminuir el tamaño de nuestro SoC, es decir, miniaturizar más el circuito electrónico el cual contiene todos los módulos, una parte de ese proceso estará destinada a miniaturizar el VCO. Además de esta aplicación, los circuitos VCO están en todos los circuitos electrónicos que necesiten una generación de frecuencia o generación de una señal estable en el tiempo, y que pueda ser modificada con solo modificar la tensión de entrada del VCO. Se puede concluir que el VCO es uno de los circuitos más importantes en el mundo de los circuitos integrados, ya que casi todos ellos contienen uno y seguramente este diseñado en tecnología CMOS.

La importancia de miniaturizar los sistemas es para poder implementarlos en una misma oblea de semiconductor, tanto si el sistema es digital como si es analógico, aunque en este aspecto tiene más limitaciones lo analógico que lo digital.

Un SoC estándar de un PLL puede tener una arquitectura como la que se muestra en el Fig. 1.1.1.

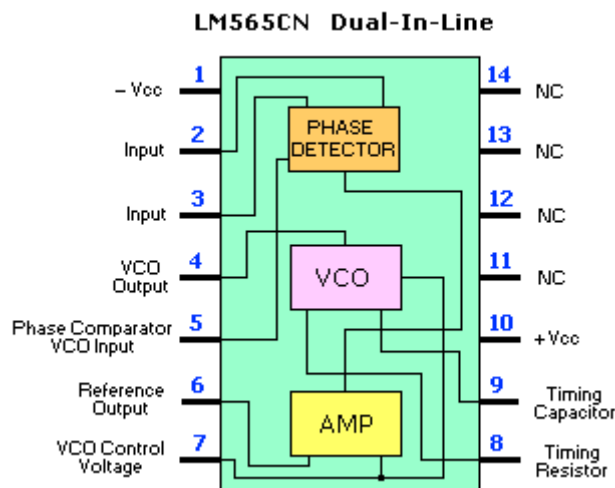


Fig. 1.1.1 Ejemplo de un System On Chip de un PLL.

Llegados a este punto cabe destacar que cuando nos referimos a SoC no estamos hablando solo de microcontroladores, microprocesadores o cualquier otro elemento informático, sino que el sentido de la palabra es más amplio y engloba a todo circuito electrónico. Un ejemplo de ello serían los sensores biomédicos que están formados por el propio sensor, microprocesadores, amplificadores etc.

## ○ 1.2 Planteamiento del problema.

En el proyecto que vamos a tratar en las siguientes páginas implementaremos un VCO maximizando su rango de linealidad, ese es el objetivo principal.

Comenzaremos implementando el VCO en anillo de la manera más simple e iremos ajustando el diseño a nuestras especificaciones, de manera que cuando tengamos el VCO en anillo básico, lo implementaremos con lo que se conoce como Current Starved Inverter en lugar de inversores básicos. Esta configuración se conoce como Current Starved VCO. Lo siguiente que haremos será proponer una topología distinta de Current Starved Inverter que resulte más eficaz a la hora de tener una función de transferencia de tensión de entrada vs frecuencia más lineal. Una vez descrita la nueva configuración de Current Starved Inverter pasaremos a realizar el VCO. Por último diseñaremos nuestro VCO de manera diferencial para que presente una mayor inmunización al ruido y más linealidad. Todos los puntos anteriormente comentados irán acompañados de simulaciones que muestren lo que se quería explicar.

En resumen, tomaremos una topología de VCO, implementaremos nuestra configuración a dicha topología y comprobaremos que hemos aumentado la linealidad del circuito gracias a los cambios realizados.

## ○ 1.3 Planificación.

La planificación seguida durante el Trabajo Fin de Grado podríamos resumirla en los siguientes apartados:

- **1ª, 2ª Semana:** Manejo de la herramienta de diseño y análisis electrónico LTspice.
  - Familiarizarse con la herramienta de trabajo.
  - Creación de nuestros propios símbolos de diseño para el circuito a simular.
- **3ª, 4ª y 5ª Semana:** Búsqueda de bibliografía sobre el Trabajo Fin de Grado.
  - Libros sobre tecnología de circuitos integrados, electrónica analógica, electrónica digital etc.
- **6ª, 7ª, 8ª, 9ª y 10ª Semana:** Diseño y simulación de circuitos básicos del Trabajo Fin de Grado.
  - Diseño y simulación de un inversor CMOS.
  - Diseño y simulación de un current starved inverter CMOS.
  - Implementación del current starved inverter CMOS a un oscilador en anillo.

- Diseño y simulación de un current starved VCO, en nuestro caso el VCO es un oscilador en anillo.
- **11º, 12º, 13º y 14º Semana:** Búsqueda de topologías que den la máxima linealidad para nuestro VCO.
  - Conseguir el rango de máxima linealidad para nuestro oscilador en anillo.
  - Comprobar que dentro de ese máximo rango de linealidad, nuestro VCO modula la señal de salida tenido una señal de entrada sinusoidal.
- **15º Semana:** Realización de la memoria del Trabajo Fin de Grado.

Dentro de la planificación anteriormente descrita también hemos tenido charlas con el tutor de dicho Trabajo Fin de Grado para preguntar dudas que han ido surgiendo a lo largo de su realización, así como consejos sobre que bibliografía consultar.

#### ○ **1.4 Marco Regulador.**

Cuando hablamos de un proyecto relacionado con la microelectrónica para una empresa tenemos que tener en cuenta una serie de condiciones que se deben cumplir por el bien de dicho proyecto. El primer requisito que se exige es tener un NDA (**Non-Disclosure Agreement**) o acuerdo de confidencialidad, por el cual se insta a dos entidades (empresa y realizador del proyecto) a compartir información para su proyecto pero restringiendo el uso de esa información para dominio público, todo ello para proteger esa información de posibles competidores del sector o cualquier entidad que pudiese hacer un uso indebido.

Tanto es así, que a la hora de guardar archivos, ficheros, documentos o lo que sea, debemos hacerlo en algún sitio que nos proporcione la seguridad suficiente para saber que no va a acceder a esa información alguien que no queramos. Por ello cuando subimos ficheros a internet debemos hacerlo en servidores encriptados que dificulten la tarea de acceder a esos ficheros para alguien ajeno a la empresa o a la entidad realizadora del proyecto.

Además, la empresa debe tener una licencia firmada para el uso de nuestra herramienta de diseño, ya que la mayoría y las más utilizadas no son gratis, como puede ser OrCAD, LTspice, Tina y Eagle entre otras, todo dependerá en que consiste nuestro proyecto.

Estos son los tres puntos importantes a la hora de realizar un proyecto microelectronico, aunque por supuesto, tenemos una serie de restricciones y límites

legales, que no pondremos aquí, puesto que no es el objetivo del presente Trabajo Fin de Grado.

## ○ 1.5 Entorno Socio-Económico.

Los avances de las últimas décadas en las llamadas TIC (Tecnologías de la Información y las Comunicaciones) como son la informática, la microelectrónica, las comunicaciones y demás, están haciendo posible que los descubrimientos, en cualquier campo científico, técnico o cultural, se puedan aplicar con una rapidez vertiginosa, constituyéndose en patrimonio común de la Humanidad. Este fenómeno es el que, según algunos autores, caracteriza la evolución tecnológica en la que nos encontramos inmersos, con profundas implicaciones en el tejido social.

La tecnología es el conjunto de conocimientos y procedimientos para obtener un determinado bien (o conjunto de bienes). Por tanto, si se mejora la tecnología, se incrementara la productividad, es decir, la relación entre cantidad del producto y la mano de obra necesaria para obtenerlo. Ello puede conducir a una doble situación que sería mantener el empleo incrementando la cantidad de producto fabricado, o mantener la cantidad de bienes haciendo disminuir el empleo (lo que se llama destrucción de empleo). Obviamente existe todo un abanico de situaciones intermedias.

En este sentido, la microelectrónica desarrolla un gran papel, puesto que nos permite cada vez tener más circuitos, con sus funciones correspondientes, dentro de una misma pastilla de semiconductor. Esto es el objetivo último de la microelectrónica, escalar la tecnología. Ahora mismo dependiendo de la tecnología que usemos tenemos SSI (**S**mall **S**cale **I**ntegration), MSI (**M**edium **S**cale **I**ntegration), LSI (**L**arge **S**cale **I**ntegration), VLSI (**V**ery **L**arge **S**cale **I**ntegration), ULSI (**U**ltra **L**arge **S**cale **I**ntegration) o por ultimo SoC (**S**ystem **O**n **C**hip) donde cada vez que aumentamos el número de componentes electrónicos o disminuimos el área donde se van a implementar, tenemos una mayor escalabilidad de la tecnología. Esta última tecnología quiere decir que todos los componentes de un circuito están integrados en el mismo chip, mientras las demás lo único a lo que hacían mención era a la escalabilidad de los componentes electrónicos. Gracias a esta escalabilidad de la tecnología, podemos reducir los niveles de tensión de alimentación con su respectiva disminución de potencia, además tenemos otra característica importante de que cada vez hagamos circuitos en tecnologías más pequeñas, es su inmunidad al ruido. Así que en conclusión, la tecnología de circuitos integrados nos ayuda a tener un sistema de una baja potencia, baja tensión de alimentación y con todo tipo de funciones dentro de un mismo dispositivo.

Con esto podemos concluir que el desarrollo de las tecnologías que tenemos ahora de 120 nm, 80 nm, 50 nm y demás de fabricación, sufrirán un descenso y gracias a eso somos capaces de tener un circuito en nuestras manos que sea menos que la punta de un lápiz.

## *CAPITULO 2: Diseño microelectrónico.*

### ○ **2.1 Antecedentes del diseño microelectrónico.**

Desde su aparición en 1958, de los principios de los circuitos integrados, gracias a sus inventores Jack S. Kilby y Robert Noyce, hasta la actualidad, hemos sido testigos de una de las más revolucionarias y transformadoras tecnologías.

Durante mucho tiempo, hemos sido testigos de la repercusión que la introducción de las denominadas nuevas tecnologías ha tenido en los diversos ámbitos de la actividad humana. El intenso avance, durante estos años, de las tecnologías de la comunicación, la computación y la automatización han alcanzado a muy diversos campos de aplicación, más allá de lo que era inicialmente pronosticable. Los procedimientos de la ciencia médica, el acceso a la información en el más amplio sentido de la palabra, la instrumentación en general y la investigación científica en sus diversos campos han sufrido repetidamente alteraciones y mejoras a medida que han ido absorbiendo esa tecnología. Existe además la circunstancia de que, en términos generales, este avance globalizado esta soportado por unos principios y una tecnología común a todas estas áreas. Como principio hay que hacer resaltar los conceptos de información digital y su procesamiento. En el aspecto tecnológico son los circuitos electrónicos de estado sólido, y más concretamente la tecnología de circuitos integrados, los elementos protagonistas de este progreso.

Desde su aparición en 1958, de los principios de los circuitos integrados, gracias a sus inventores Jack S. Kilby y Robert Noyce, hasta la actualidad, hemos sido testigos de una de las más revolucionarias y transformadoras tecnologías.

En Agosto de 1959 Fairchild Semiconductors hace pública la tecnología de fabricación de transistores en un proceso planar y en Marzo de 1960 Texas Instruments anuncia el primer circuito integrado comercial, un multivibrador basado en dispositivos semiconductores BJT de silicio.

La evolución de la tecnología electrónica se traduce en la práctica en la mejora de las prestaciones de los circuitos integrados microelectrónicos, gracias, sobre todo, a la reducción de las dimensiones físicas de los dispositivos (los transistores) y de las interconexiones que los conectan entre sí para formar circuitos electrónicos. En tecnología CMOS (que es la tecnología en la que nos centraremos a partir de ahora, ya que en ella está basado nuestro VCO) el parámetro que se toma como referencia es la longitud mínima de canal que es posible fabricar en una determinada generación tecnológica, parámetro que normalmente coincide con la longitud de canal del dispositivo MOSFET que estemos utilizando.

Un circuito integrado puede ser definido como “la incorporación de todos los componentes activos y pasivos de un circuito electrónico de manera conjunta en una única pastilla de material semiconductor”.

La tecnología de circuitos integrados, basada principalmente en la miniaturización de los circuitos, y el correspondiente incremento de prestaciones y la fuerte reducción de costes, no solo ha evolucionado intensamente durante todo este tiempo, sino que existe una consolidada previsión de su evolución en un futuro inmediato, que nos llevará a unos circuitos con centenares y millares de millones de transistores aptos no sólo para unas características de flujo de conmutación y computación muy por encima de los grandes sistemas hoy en día, sino también para aplicaciones insospechadas en un campo abierto a la imaginación.

En 1962 la RCA anuncia la fabricación de un circuito con 16 dispositivos MOSFET en un chip de 2.5 mm<sup>2</sup>. Este acontecimiento supuso el nacimiento de los circuitos integrados, y con él una nueva etapa de crecimiento de la Tecnología Electrónica: la Microelectrónica.

Paralelamente, con el desarrollo de los circuitos integrados, la electrónica digital fue tomando cada vez más interés. En 1937, la idea de transformar la voz en un código digital fue del ingeniero de teléfonos británico Alec Reeves, mientras trabajaba en sistemas que pudieran transmitir varias llamadas por la misma línea telefónica, para la conexión entre centrales de ciudades diferentes. Demostró que las conversaciones telefónicas podían reducirse a un conjunto de pulsos. Su código de modulación de pulsos tuvo que esperar hasta los años 70 para que la electrónica lo hiciese suficientemente práctico.

El paso de la Electrónica a la Microelectrónica puede definirse como la transición de los componentes individuales al circuito integrado (CI), compuesto por un chip o pequeño cristal de silicio que contiene gran cantidad de elementos individuales en forma miniaturizada. Con esta técnica de integración se logra una mayor complejidad de circuitos, menores dimensiones, mayor fiabilidad, a un coste de fabricación más reducido.

La historia de la Microelectrónica va marcada por la sucesión de diversas tecnologías según el número de componentes integrados en el mismo circuito. A comienzos de los 60, la tecnología SSI (**S**mall **S**cale of **I**ntegration) permitía la integración de hasta 100 transistores por circuito integrado. A mediados de los 60 aparece la tecnología MSI (**M**edium **S**cale of **I**ntegration) capaz de integrar varios cientos de transistores en un chip. En la década de los 70 aparece la tecnología LSI (**L**arge **S**cale of **I**ntegration), aplicada fundamentalmente a circuitos digitales, con la que se integran varios miles de transistores.

Si lo miramos desde el punto de vista de la fabricación, la tecnología de circuitos integrados, como técnica para desarrollar productos basados en circuitos

electrónicos, representa en la actualidad más o menos el 85% del mercado mundial de semiconductores. Dado que han sido los sistemas de índole digital, especialmente las memorias y los microprocesadores, quienes han tirado del proceso de evolución continua desde su origen hasta la actualidad, este tipo de sistemas han tenido hasta ahora una situación predominante en el campo de los circuitos integrados (chips) de alta escalabilidad, VLSI (**V**ery **L**ong **S**cale **I**ntegration). Sin embargo, en la actualidad, la accesible y desarrollada capacidad tecnológica, la temática de las aplicaciones con mayor crecimiento y las nuevas metodologías y herramientas de diseño permiten incorporar importantes secciones analógicas junto a complejos sistemas digitales en un mismo circuito integrado. Esta capacidad de desarrollar sistemas mixtos (analógico-digitales) junto a la creciente incorporación de dispositivos micromecanizados, llamados MEMS (**M**icro **E**lectro **M**echanical **S**ystem), permiten la realización de sistemas de función amplia y compleja con un número reducido de circuitos integrados, en la mayoría de casos en un único circuito y cristal.

## ○ 2.2 Tecnología CMOS.

La tecnología CMOS (**C**omplementary **M**etal **O**xide **S**emiconductor) es la tecnología en la que están basados todos los circuitos integrados hoy en día, y tanto es así, que probablemente seguirá dominando el mundo de la fabricación de chips durante algunos años más. Esto es así porque dicha tecnología es fiable, de bajo disipación de potencia y barata entre otras cosas, pero uno de los aspectos cruciales de esta tecnología es que es escalable, es decir, podemos disminuir el tamaño de los dispositivos fabricados con tecnología CMOS fácilmente.

Una característica diferencial de la tecnología CMOS es el hecho de que al aumentar la miniaturización de los circuitos, no solo cada vez es posible integrar circuitos más complejos, sino que dicha miniaturización lleva consigo la reducción de las capacidades parásitas (capacidades de carga) de estos circuitos, al mismo tiempo que una aceptable o mejorada capacidad de manejar la corriente. Estos son parámetros influyentes en la constante del tiempo de respuesta a transitorios. En otras palabras, un mismo circuito electrónico desarrollado sobre una tecnología más miniaturizada incorpora directamente un aumento de la velocidad de respuesta de dicho circuito. Luego, y especialmente en el caso de los circuitos digitales, el progreso de la tecnología conlleva de manera intrínseca un aumento en la velocidad de operación.

Los circuitos CMOS son circuitos analógicos, digitales o mixtos configurados a partir de transistores PMOS y NMOS. Esta tecnología permite la fabricación de circuitos utilizando ambos tipos de transistores sobre un mismo cristal de silicio, y es la tecnología base de la actual microelectrónica o diseño VLSI.

Cuando hablamos de que la tecnología se puede miniaturizar nos viene a la cabeza uno de los primeros hombres que formuló una ley de cómo la tecnología de los circuitos iba a disminuir en tamaño. El hecho de que la tecnología basada en silicio de

los circuitos integrados fuera escalable fue observado y descrito por el cofundador de Intel Corporation, Gordon Moore, en 1965. Sus observaciones ahora son bien conocidas como la “Ley de Moore”, que establece que:

*“El número de transistores en un circuito integrado se duplicara aproximadamente cada 18 – 24 meses.”*

*Gordon Moore (1965).*

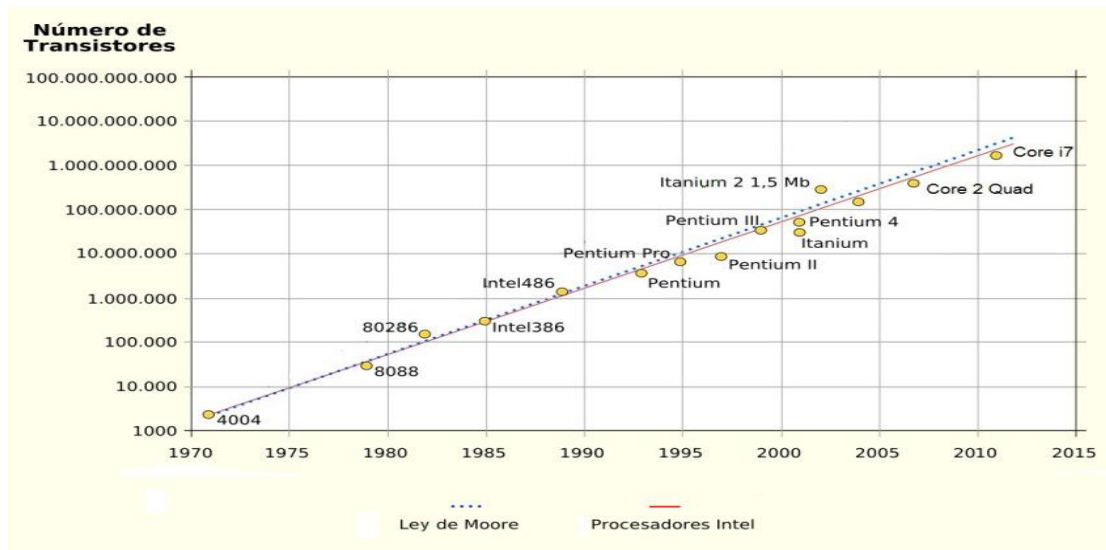


Fig. 2.2.1 Datos históricos y Ley de Moore.

### ▪ 2.2.1 ¿Qué es la tecnología CMOS?

Cuando hablamos de una configuración CMOS estamos hablando de un transistor NMOS (canal N) y otro PMOS (canal P) conectados. El diseño de los circuitos CMOS (la idea y los conceptos básicos) fueron inventados en 1963 por Frank Wanlass.

CMOS es un tipo de tecnología de fabricación de circuitos integrados aunque existen muchas, como por ejemplo, la TTL (**T**ransistor-**T**ransistor **L**ogic), la CMOS, la BiCMOS (**B**ipolar **CMOS**) que combina las ventajas de las tecnologías Bipolar y CMOS, la DTL (**D**iode-**T**ransistor **L**ogic) que es la tecnología inmediatamente anterior a la tecnología TTL etc. Estas son solo algunas de la multitud de tecnologías de fabricación que existen para los circuitos integrados.

La idea de que un circuito estuviera hecho con componentes discretos MOS fue bastante novedosa, no solo por el hecho de que la tecnología MOS todavía era inmadura, sino porque los transistores BJT estaban a la orden del día por ser considerados el sustituto natural de las válvulas termoiónicas, y eso hacía que su popularidad creciese por momentos a la hora de optar entre ambos tipos de transistores.



Los primeros circuitos CMOS comparados con los circuitos BJT, que usaban lógica TTL, fueron circuitos que tenían como ventaja que eran de baja potencia pero eran más lentos. Durante la década de los años 70 los fabricantes de relojes utilizaron la tecnología CMOS debido a la importancia de la vida de la batería. Además, durante ese periodo de tiempo, la tecnología MOS fue usada para el desarrollo de los procesadores de ordenador, que dieron como resultado la creación del ordenador personal (PC) en la década de los años 80 y el uso de la tecnología de internet en la década de los años 90.

Actualmente más del 95% de los circuitos integrados están fabricados en tecnología CMOS, que pueden ser diseñados en un área pequeña, soportar y manejar grandes velocidades de operación teniendo una relativamente baja disipación de potencia aunque si tuviéramos que quedarnos con una característica de este tipo de circuitos (además de que son circuitos escalables, como ya hemos mencionado anteriormente) sería su facilidad de fabricación, ya que estos circuitos pueden ser fabricados con muy pocos defectos.

Otra característica que da ventaja a la tecnología CMOS frente a otras es su amplio margen y su inmunidad al ruido. Se denomina ruido “a cualquier perturbación involuntaria que pueda causar un cambio no deseado en la salida del circuito” y puede generarse externamente, por acoplo o por picos de corriente de alimentación por ejemplo. Los cables y otros conductores internos del sistema pueden captar las radiaciones electromagnéticas de alta frecuencia de los conductores adyacentes, en los que las corrientes varían rápidamente, o de otras fuentes externas al sistema. También las fluctuaciones de tensión de línea de alimentación son una forma de ruido de baja frecuencia.

### ▪ 2.2.2 El transistor, la unidad principal.

Cuando hablamos de cualquier dispositivo electrónico estamos hablando a su vez de transistores, de miles de transistores que hacen posible ese dispositivo. Es el dispositivo electrónico básico que dio lugar a los circuitos integrados y demás elementos de la alta escala de integración. Así como la Revolución Industrial se basa en la máquina de vapor, puede decirse que la era de las comunicaciones se basa en el transistor. Su nombre viene de la contracción de dos palabras “**TRANS**fer **ReSISTOR**”.

El transistor de punta de contacto surge en los Laboratorios Bell de la mano de John Bardeen y Walter Brattain, allá por 1947, mientras que el transistor de unión fue obra de William Shockley por 1951, siendo todos ellos galardonados con el Premio Nobel de Física en 1956 por dicha invención.

La motivación del transistor fue encontrar un conmutador de estado sólido que sustituyese a los relés y luego se contempló la posibilidad de ser el sustituto de las válvulas termoiónicas de tres electrodos o tríodo.

Lo siguiente que vamos a hacer es enumerar los tipos de transistores, mediante la Fig. 2.2.3.1, y posteriormente centrarnos en los que forman la tecnología

CMOS (que son los transistores MOSFET). Dentro de los transistores MOSFET también distinguiremos entre la división que existe entre los PMOS Y NMOS, ya que cada uno tiene sus características.

### ▪ 2.2.3 El transistor MOSFET.

Tenemos cuatro familias dentro del mundo de los transistores dependiendo de sus aplicaciones y del modo en que están fabricados, aunque todos tengan la misma misión: amplificar, conmutar, rectificar etc...

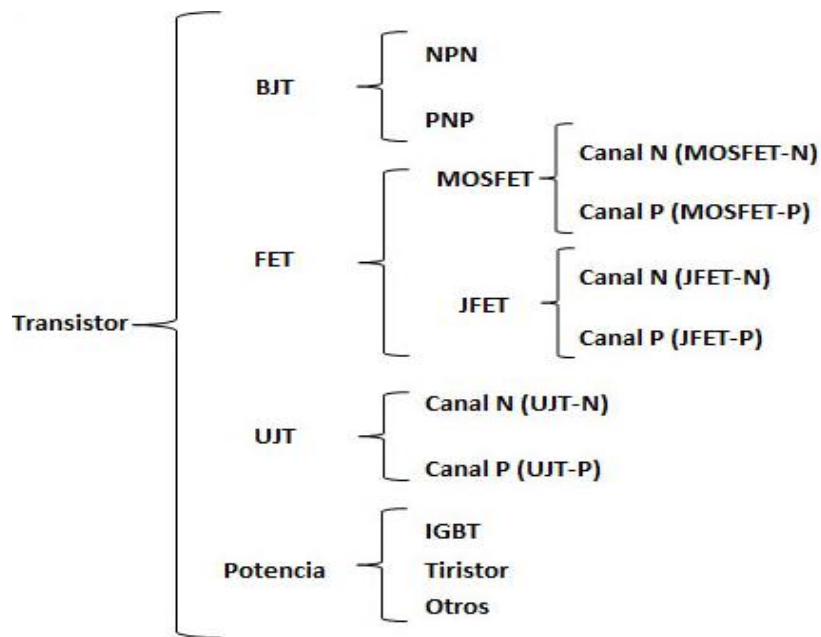


Fig. 2.2.3.1 Modelos de transistores.

Esta tecnología de circuitos integrados cada vez está más en decadencia ya que ha sido desbancada por la tecnología CMOS de la que hablaremos más adelante.

En las siguientes páginas vamos a estudiar el principal tipo de transistor que hemos utilizado durante toda la realización de este proyecto: el transistor MOSFET (**M**etal **O**xide **S**emiconductor **F**ield **E**ffect **T**ransistor).

Son la base de los circuitos analógicos y digitales modernos.

Un MOSFET está formado por cuatro terminales llamados Drenador o Drain (D), Fuente o Source (S), Puerta o Gate (G) y por ultimo Sustrato o Bulk (B), aunque normalmente el sustrato está conectado a la fuente y no se tiene como un terminal independiente. El terminal de puerta o Gate es quien controla el comportamiento del canal. Normalmente el semiconductor utilizado para su fabricación es el silicio, aunque últimamente se está utilizando una composición química de SiGe (**S**ilicio y **G**ermanio).

En los transistores el terminal de puerta, por razones de fabricación, no es metálico, sino que está formado a partir de una deposición de material polisilicio

amorfo. En el comportamiento eléctrico no existe diferencia entre el transistor de puerta metálica y el de la puerta de polisilicio.

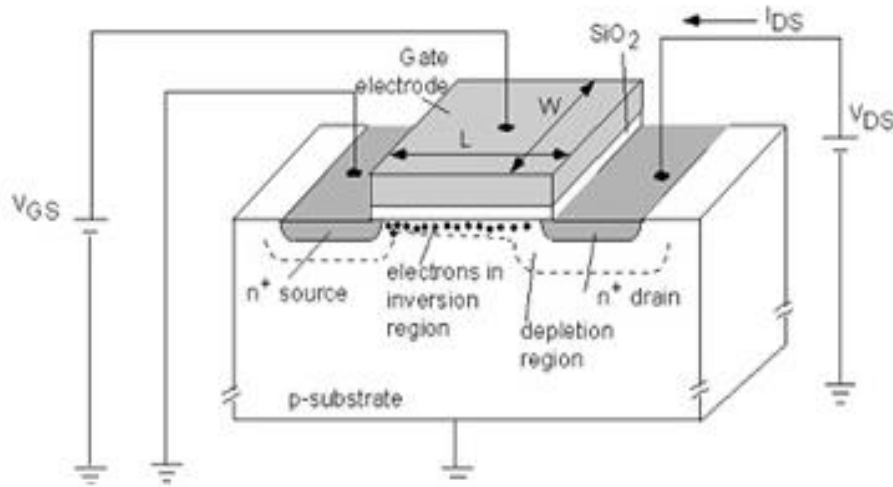


Fig. 2.2.3.1 Transistor MOSFET tipo NMOS.

Podemos ver en la Fig. 2.2.3.1 como está formado un transistor MOSFET a nivel de fabricación. El concepto de su funcionamiento es dos uniones NPN, donde P es el sustrato, muy próximos entre sí. Conforme aumentamos la tensión en  $V_{DS}$  se va induciendo un canal conductor a través de la fuente y el drenador. Este canal contiene electrones si el transistor es de tipo NMOS (sustrato tipo P), mientras que si el transistor es de tipo PMOS (sustrato tipo N) contiene “huecos”.

Un transistor MOSFET tiene zonas distintas y diferenciadas de operación, dependiendo de las tensiones de sus terminales, que son, la zona de corte, la zona de “weak inversion”, la zona lineal u óhmica y la zona de saturación o activa.

Cuando hablamos de la zona de corte, lo que estamos diciendo es que el transistor se encuentra apagado, es decir, no existe conducción entre el surtidor y la fuente. El transistor se comporta como un interruptor abierto. Esto es así cuando la tensión del terminal  $V_{GS} < V_{TH}$  donde  $V_{TH}$  es la tensión umbral del transistor. Un modelo más exacto considera el efecto de la energía térmica descrita por la distribución de Boltzmann, para las energías de los electrones, en donde se permite que los electrones con alta energía, presentes en el surtidor ingresen en el canal y fluyan hacia el drenador.

Nuestro transistor se encuentra en “weak inversion” cuando se cumple que  $V_{GS} \approx V_{TH}$ , donde la estructura equivalente son dos diodos invertidos. Queremos que el transistor se mantenga en esta región para tener ratios  $\frac{g_m}{I}$  altos. En esta región de operación tenemos una corriente de saturación en los diodos que muestra la Fig. 2.2.3.2.

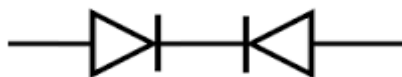


Fig. 2.2.3.2 Equivalente de un MOSFET en operación “weak inversion”.

La siguiente zona de operación se trata de la zona lineal u óhmica. Entramos en ella cada vez que nuestro transistor cumple que  $V_{GS} > V_{TH}$  y  $V_{DS} \ll (V_{GS} - V_{TH})$ . En esta región de operación se crea un canal por debajo de la puerta que une los dos sustratos de tipo N (para un NMOS). La corriente del drenador viene dada por la siguiente ecuación:

$$I_D = \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot V_{DS}$$

- $I_D$  = Corriente del drenador.
- $\mu$  = Movilidad efectiva de los portadores de carga.
- $C_{OX}$  = Capacitancia de la lámina de óxido.
- $W$  = Ancho del canal del transistor.
- $L$  = Largo del canal de transistor.
- $V_{GS}$  = Tensión entre la puerta y la fuente.
- $V_{TH}$  = Tensión umbral del transistor.
- $V_{DS}$  = Tensión entre el drenador y la fuente.

La ecuación anterior describía la corriente del drenador del MOSFET cuando teníamos  $V_{DS} \ll (V_{GS} - V_{TH})$ , pero puede darse el caso de que  $(V_{GS} - V_{TH})$  no sea una diferencia mucho más grande que  $V_{DS}$ , y tengamos que  $V_{DS} < (V_{GS} - V_{TH})$ . La ecuación que modela el comportamiento del MOSFET cambia a la siguiente:

$$I_D = \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot \left[ (V_{GS} - V_{TH}) \cdot V_{DS} - \frac{(V_{DS})^2}{2} \right]$$

Además de este caso, nos quedaría un último por evaluar, que sería cuando tenemos  $V_{DS} = (V_{GS} - V_{TH})$ , ya que si  $V_{DS}$  siguiese aumentando entraríamos en la zona de saturación, de la cual hablaremos más adelante. Aquí, la ecuación que gobierna el comportamiento del MOSFET es la siguiente:

$$I_D = \frac{1}{2} \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2$$

Conforme vamos aumentando la tensión en  $V_{DS}$  vamos entrando en las diferentes regiones de operación del transistor, pero aun así, cada región tiene sus propias subregiones como acabamos de ver con la zona lineal u óhmica. Cabe destacar que cuando la tensión entre el drenador y la fuente supera cierto límite, se produce en el canal de conducción un estrangulamiento y desaparece. La corriente del drenador y de la fuente no se interrumpe porque es debida al campo eléctrico entre ambos, pero es independiente de la tensión de los terminales. Esto es lo que se llama zona de corte, cuando por más tensión que tengamos no vamos a conseguir una mayor corriente. Esto ocurre cuando  $V_{DS} > (V_{GS} - V_{TH})$  y la corriente del drenador sigue esta forma:

$$I_D = \frac{1}{2} \mu \cdot C_{OX} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \cdot \left( 1 + \frac{V_{DS}}{V_A} \right)$$

- $V_A$  = Tensión de Early.

La tensión de Early que aparece en la ecuación es el parámetro inverso a la impedancia de salida del transistor.

En la Fig. 2.2.3.3 se muestran los diferentes símbolos para representar un transistor MOSFET, dependiendo de si es de tipo PMOS o NMOS.

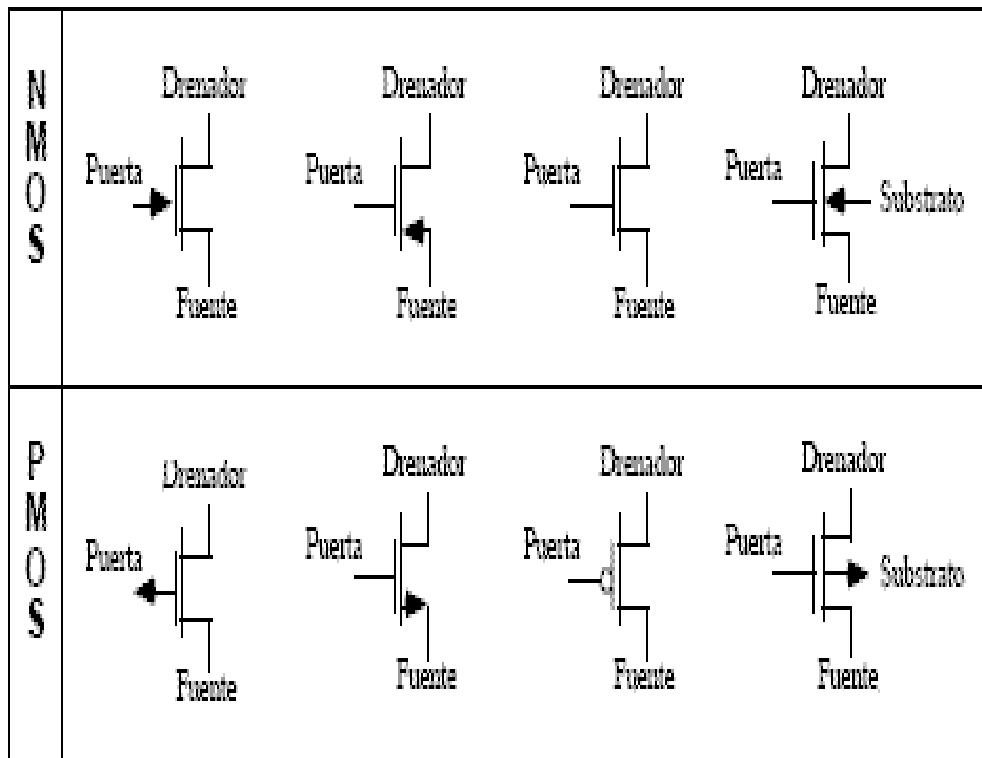


Fig. 2.2.3.2 Formas de representar un transistor MOSFET PMOS y NMOS.

Como hemos dicho antes, en la mayoría de los transistores MOSFET el sustrato está conectado directamente con la fuente, de manera que no se tiene como un terminal independiente. Esto queda reflejado en las tres primeras formas de representar los PMOS Y NMOS, donde no se muestra dicho terminal.

#### ▪ 2.2.4 El inversor CMOS.

El inversor CMOS es el bloque principal para el diseño de circuitos digitales. El inversor consigue convertir una señal de entrada  $A$  en una señal de salida  $\bar{A}$ , es decir, la señal opuesta. Se compone de un transistor MOSFET NMOS y de un transistor MOSFET PMOS, donde las puertas (Gate) de ambos transistores están conectadas a la señal de entrada, el drenador (Drain) del transistor NMOS está conectado a alimentación (VDD), la fuente (Source) del transistor PMOS está conectada a tierra o masa (GND) y la fuente del transistor NMOS y el drenador del transistor PMOS están conectados entre sí y además ese punto es el terminal de salida de nuestro inversor. Aquí tenemos una imagen del esquemático de un inversor CMOS.

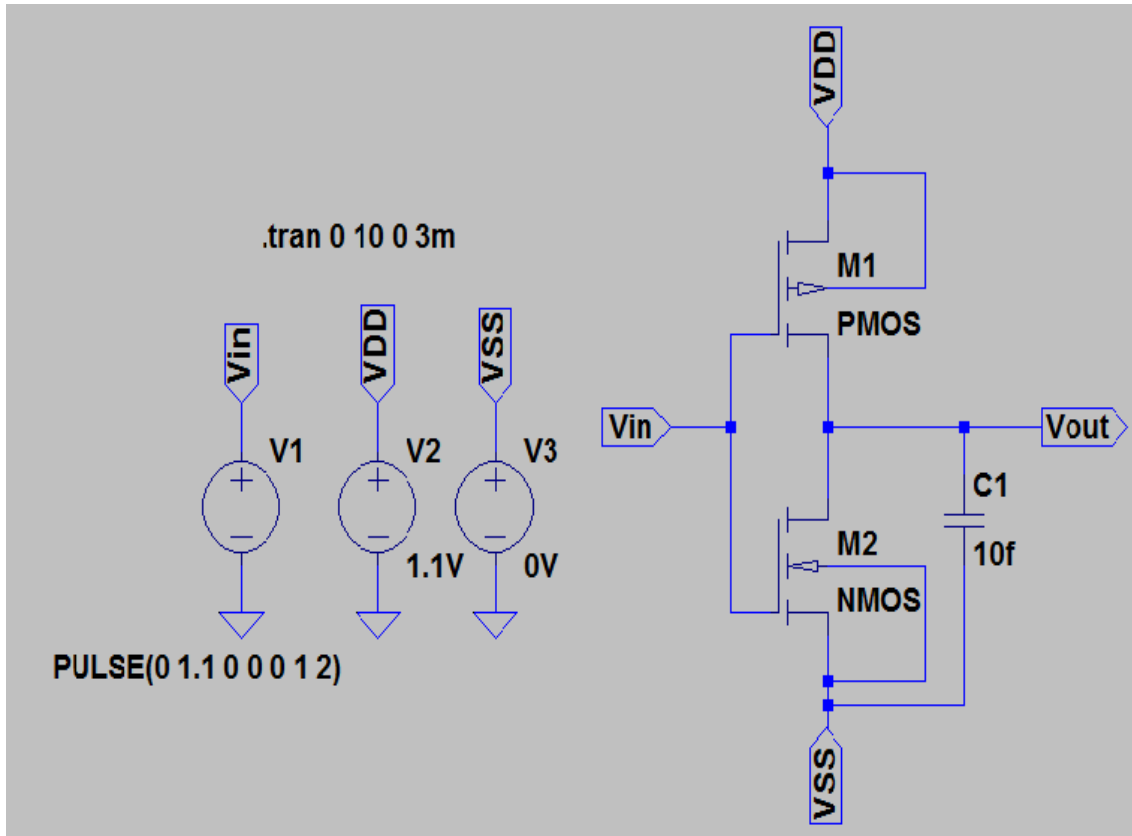


Fig. 2.2.4.1 Esquemático de un Inversor CMOS.

Como podemos comprobar, si tenemos que la señal de entrada está conectada a GND el inversor tendrá a la salida una señal que será VDD, ya que el transistor PMOS M2 estará apagado (actuara como un circuito abierto) por estar operando en su zona de corte. Por el contrario, si la señal de entrada está conectada a VDD el inversor tendrá a la salida una señal que será GND porque el transistor NMOS M1 estará apagado por esta funcionando como circuito abierto (zona de corte) y el transistor PMOS M2 estará activo.

El inversor CMOS tiene importantes características como por ejemplo que la tensión de salida se mueve de VDD a GND llegando a estos valores, no como otras familias lógicas que nunca alcanzan los niveles de alimentación. Además su disipación de potencia estática es prácticamente nula, gracias a su alta impedancia de entrada y que un circuito CMOS en reposo solo experimentara corrientes parasitas, ya que en ningún momento tenemos a los dos transistores que componen el inversor CMOS activos al mismo tiempo.

En la Fig. 2.2.4.1 tenemos el esquemático de un inversor CMOS real, con un condensador de 10 fF, que modela la capacidad parasita de salida. Además, como señal de entrada tiene un pulso con las siguientes características:

- $V_{ON} = 1.1 V$
- $T_{ON} = 1 s$
- $T = 2 s$

Mostramos su simulación en la Fig. 2.2.4.2 donde hemos utilizado los siguientes parámetros de simulación:

- Tiempo de simulación = 10 s
- Máximo "Timestep" = 3 ms.

Las dimensiones de los transistores utilizados son las que vamos a utilizar a lo largo de todo el Trabajo Fin de Grado y corresponden a:

- PMOS  $\rightarrow L = 50 \text{ nm}, W = 2 \mu\text{m}$
- NMOS  $\rightarrow L = 50 \text{ nm}, W = 1 \mu\text{m}$

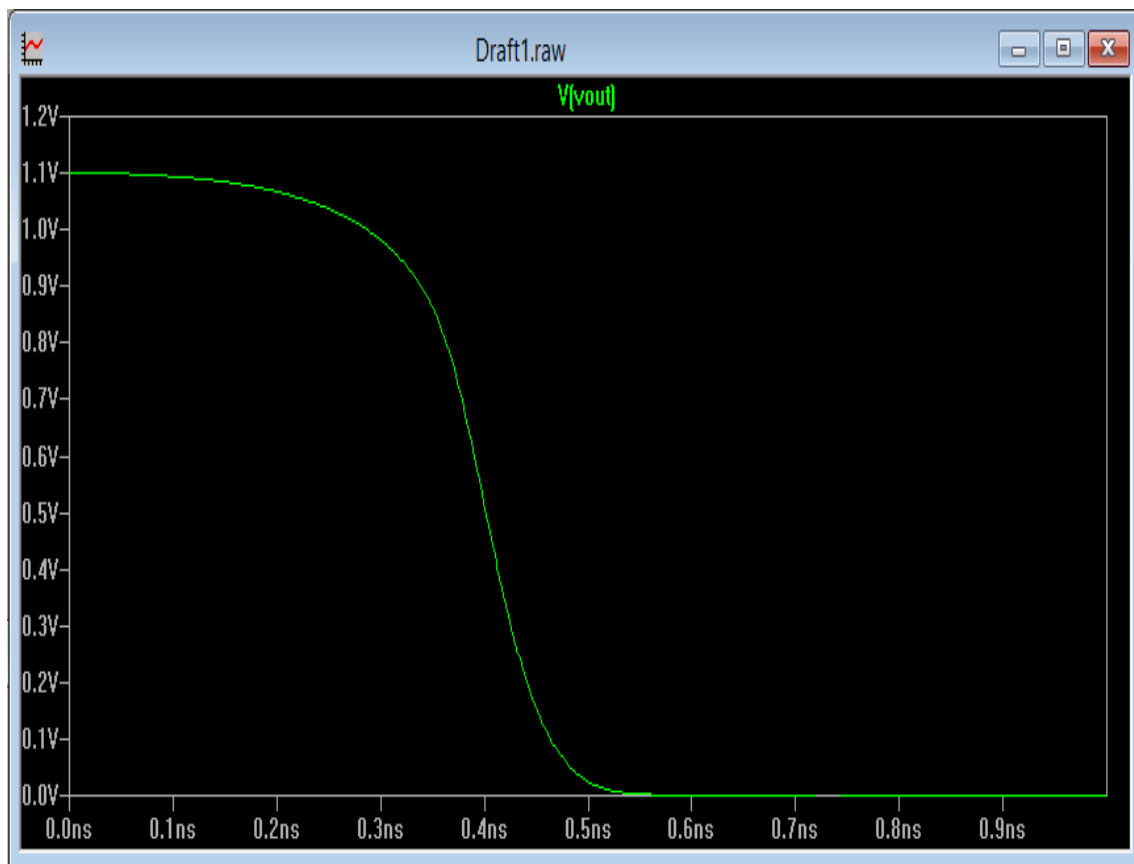


Fig. 2.2.4.2 Función de transferencia de un inversor CMOS.

En la imagen anterior vemos como se produce un tiempo a la hora de subida y bajada de la señal, esto es debido a la capacidad del condensador que hemos puesto a la salida modelando la capacidad parasita que tendría el circuito.

El tiempo de subida y de bajada de la señal de salida de nuestro inversor, que se muestra en la Fig. 2.2.4.2, puede ser calculado mediante esta ecuación:

- Tiempo de subida:  $t_{PHL} = 0.7 \cdot R_1 \cdot C_{OUT}$
- Tiempo de bajada:  $t_{PLH} = 0.7 \cdot R_2 \cdot C_{OUT}$

Donde  $R_1$  y  $R_2$  son las resistencias mostradas en la Fig. 2.2.4.4 y  $C_{OUT}$  es la capacitancia efectiva de salida del circuito, que se calculan con las ecuaciones anteriormente descritas.

El tiempo de subida y de bajada de los inversores CMOS que muestra la Fig. 2.2.4.2 puede controlarse si modificamos la relación entre los transistores, de manera que si la relación es mayor tendremos un menor tiempo de subida o bajada, es decir, podemos cambiar su función de transferencia si modificamos el ancho o largo del canal de los dispositivos MOSFET de acuerdo a la siguiente ecuación:

$$t_{PHL} = K_{PHL} \cdot \frac{C_{IN}}{W/L} \quad t_{PLH} = K_{PLH} \cdot \frac{C_{OUT}}{W/L}$$

- $t_{PHL}$  = Tiempo de subida.
- $t_{PLH}$  = Tiempo de bajada.
- $K_{PHL}$  = Constante de subida.
- $K_{PLH}$  = Constante de bajada.
- $C_{IN}$  = Capacitancia efectiva de entrada.
- $C_{OUT}$  = Capacitancia efectiva de salida.
- $W$  = Anchura del canal del transistor.
- $L$  = Longitud del canal del transistor.

Los valores de  $K_{PHL}$  y  $K_{PLH}$  no son iguales debido a que incluyen implícitamente la movilidad de los electrones ( $\beta_n$ ) y de los huecos ( $\beta_p$ ).

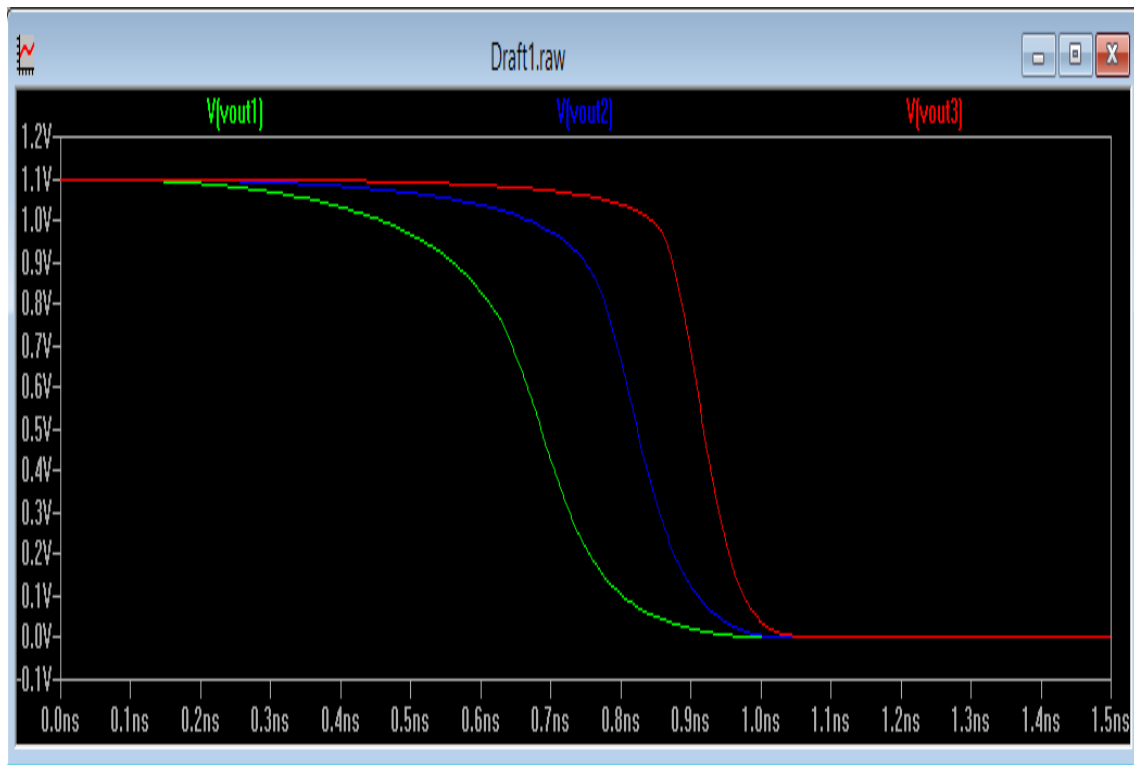


Fig. 2.2.4.3 Variación del tiempo de bajada inversor CMOS por variación de relación entre transistores.



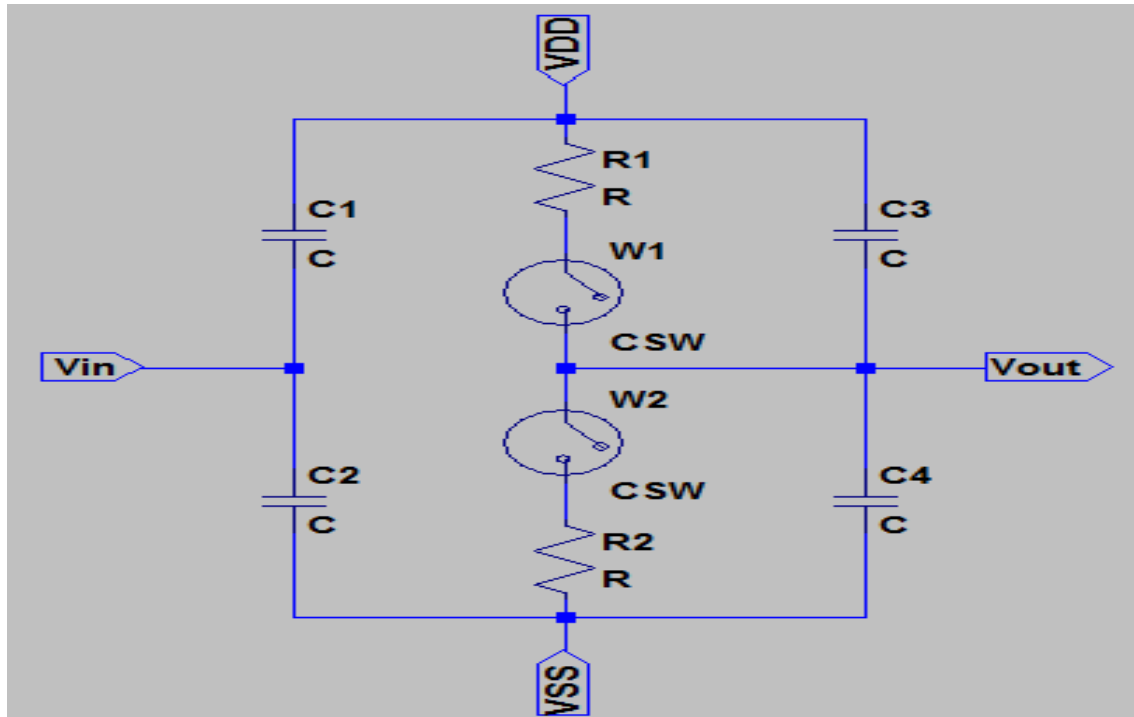


Fig. 2.2.4.4 Esquemático de un inversor CMOS en conmutación.

Este circuito sería el equivalente al inversor CMOS en condiciones de conmutación ya que hemos sustituido los transistores MOSFET por interruptores y su resistencia asociada. Además hemos incluido las capacidades parásitas de los condensadores tanto en la entrada del circuito como en la salida, que podemos calcular de la siguiente forma:

- Capacitancia Efectiva Entrada:  $C_{IN} = \frac{3}{2} (C_{OX1} + C_{OX2})$
- Capacitancia Efectiva Salida:  $C_{OUT} = C_{OX1} + C_{OX2}$

En la formula anterior  $C_{OX1}$  corresponde a la capacitancia del óxido del transistor M1 y  $C_{OX2}$  la capacitancia del óxido del transistor M2.

Aun así, este modelo no sería correcto completamente ya que en la práctica los dos transistores nunca se encuentran operando a la vez ni dejan el circuito abierto a la vez, sino que mientras uno opera en zona de corte y deja el circuito abierto el otro está funcionando en zona de saturación y conecta a VDD o GND con el circuito, es decir, van conmutando entre ellos.

### ▪ 2.2.5 Otras configuraciones de inversores CMOS.

Además de tener la configuración clásica para un inversor CMOS, existen otras topologías que vamos a mencionar ahora sin entrar en mucho detalle, ya que no es el objetivo del presente trabajo fin de grado. Estas configuraciones se muestran a continuación. Técnicamente hablando, aquí no estaríamos utilizando una tecnología

CMOS ya que no tenemos un transistor PMOS y otro NMOS, sino que tenemos dos transistores NMOS y por tanto no habría complementariedad.

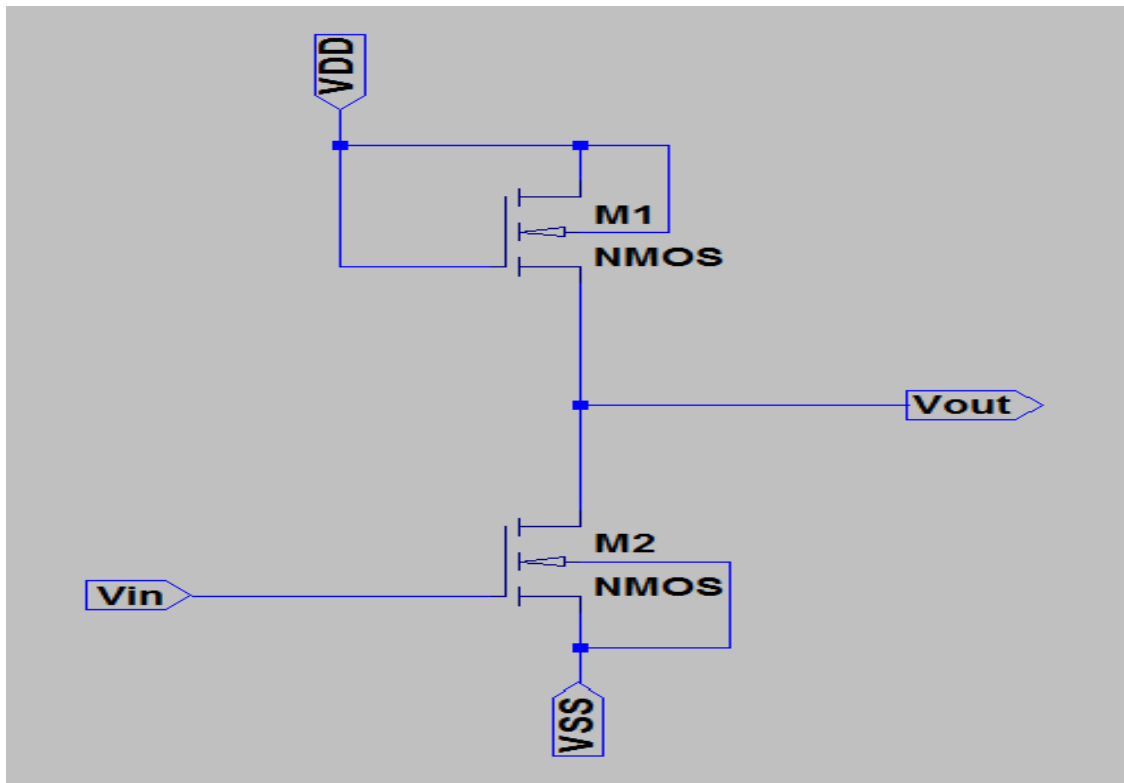


Fig. 2.2.5.1 Topología alternativa 1 para inversor CMOS.

La siguiente configuración mostrada en la Fig. 2.2.5.1 tiene la ventaja de prevenir el llamado “latch-up”. El “latch-up” es un tipo particular de cortocircuito, más específicamente, es la creación inadvertida de una resistencia entre la alimentación del circuito VDD, posibilitando una estructura parasita la cual inhabilita su correcto funcionamiento y da lugar a un posible daño por sobrecarga.

La estructura parasita es normalmente equivalente a un tiristor o SCR (**Silicon-Controlled Rectifier**), lo que equivale a una estructura PNP que se puede dividir en un transistor BJT PNP y un transistor BJT NPN unido uno al otro. Durante el “latch-up” cuando un transistor está conduciendo el otro comienza a conducir también, de manera que ambos transistores siguen operando en saturación y conduciendo durante el tiempo que la estructura se mantenga polarizada y tengamos un flujo de corriente, que por lo general significa hasta que ocurre un apagado.

En la configuración de la Fig. 2.2.5.3 la salida lógica de nivel alto alcanzara el valor de VDD, mientras que en las otras topologías no llegaremos totalmente a tener ese valor. Se puede concluir que la disipación de potencia de los inversores CMOS mostrados es mayor que la disipación de potencia que el inversor CMOS básico, aunque también es cierto que cuanto menor sea la capacitancia de entrada y menor sea la fluctuación de tensión de salida, el consumo de potencia vendrá determinado por la frecuencia de operación. A frecuencias de operación altas, el inversor CMOS

básico disipa más potencia que sus alternativas, pero si estamos hablando de bajas frecuencias, los inversores CMOS que hemos mostrado como topologías alternativas disiparan una mayor potencia.

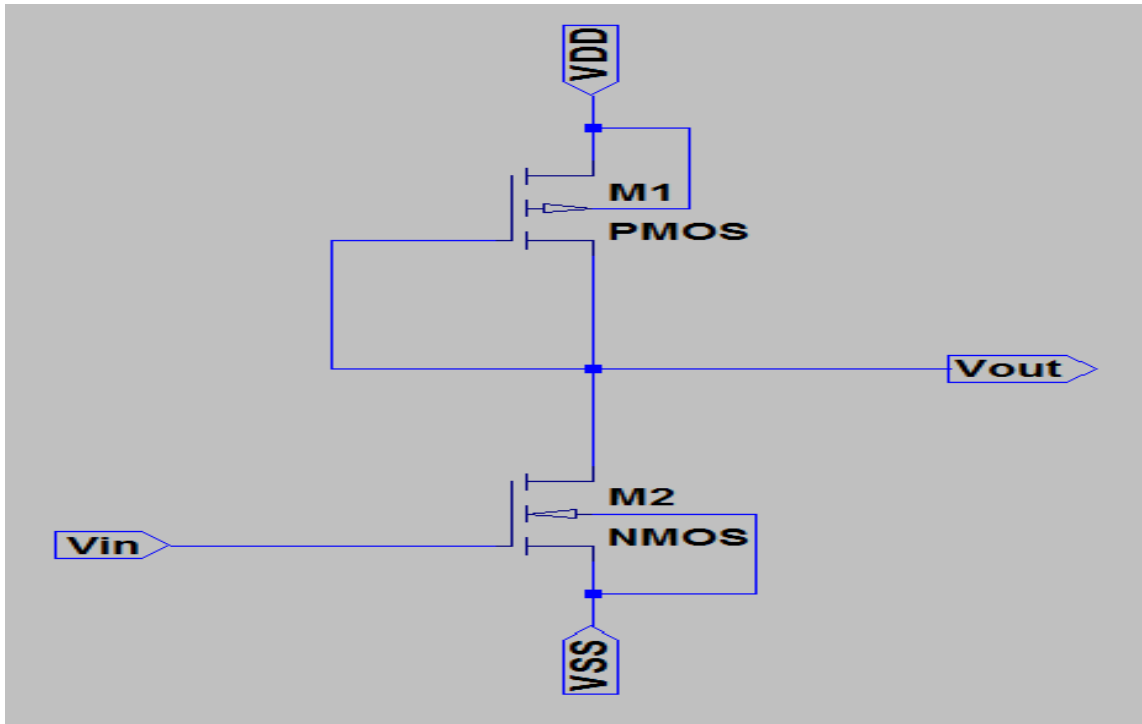


Fig. 2.2.5.2 Topología alternativa 2 para inversor CMOS.

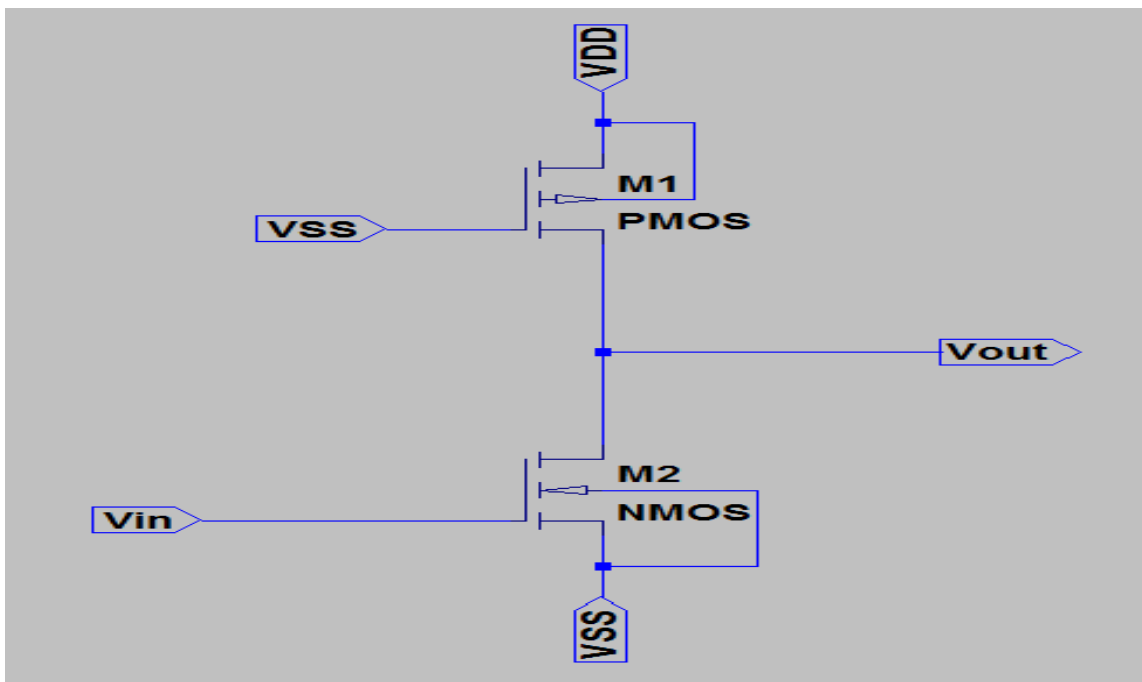


Fig. 2.2.5.3 Topología alternativa 3 para inversor CMOS.

Para todas las topologías anteriores, un '1' lógico a la entrada resultara en una corriente continua fluyendo en ambos MOSFET's. Un requisito importante a la hora del

diseño el tamaño de los MOSFET's es estar seguros de que la corriente no resulta demasiado grande. El nivel de la salida lógica nunca alcanzara el valor 0 V en estos inversores y debido a eso los niveles de margen de ruido son más pobres, es decir, tienen menos inmunidad al ruido, que los inversores CMOS básicos.

## CAPITULO 3: VCO.

### ○ 3.1 Concepto de VCO.

Muchas aplicaciones requieren que los osciladores sean “sintonizables”, por ejemplo, que su frecuencia de salida sea en función de un parámetro de entrada, que normalmente es la tensión. Un VCO (**V**oltage-**C**ontrolled **O**scillator) ideal es un circuito donde su frecuencia de salida es una función lineal de ese parámetro de entrada, que normalmente es la tensión. También se les llama convertidores tensión-frecuencia. Se puede describir matemáticamente como:

$$f_{OUT} = f_0 + K_{VCO} \cdot V_{IN}$$

- $f_{OUT}$  = Frecuencia de salida.
- $f_0$  = Frecuencia cuando  $V_{IN} = 0$  V.
- $K_{VCO}$  = Ganancia o sensibilidad del circuito.
  - $V_{IN}$  = Tensión de entrada.

Si lo describiésemos mediante un diagrama de bloques quedaría algo como lo que muestra la Fig. 3.1.1.

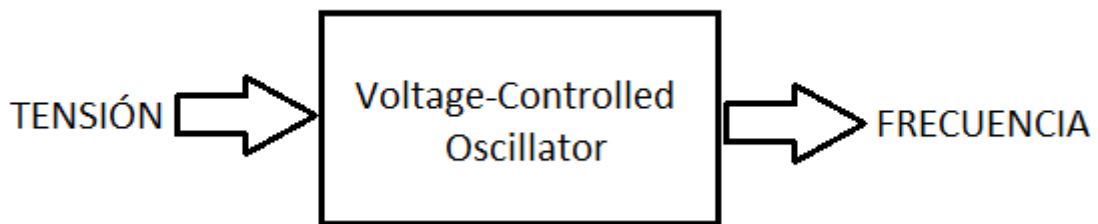


Fig. 3.1.1 Descripción de un VCO.

Como hemos dicho anteriormente, un VCO ideal sería un circuito donde la frecuencia sería una función lineal de la tensión de entrada, algo como lo mostrado en la Fig. 3.1.2.

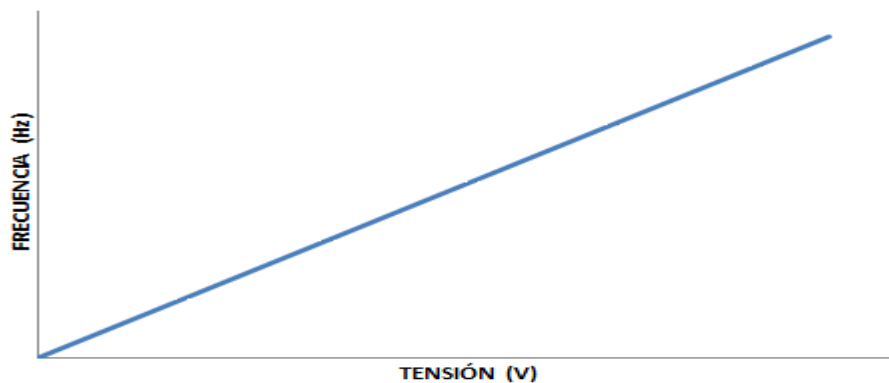


Fig. 3.1.2 Gráfica tensión-frecuencia de un VCO ideal.

Por desgracia esto no es así realmente, en la práctica un VCO presenta una no linealidad, por ejemplo, la ganancia del VCO no es lineal. Su gráfica real se parece mucho a la de un inversor donde en los extremos tenemos una ganancia muy pequeña, mientras que en el centro tenemos una ganancia grande. Lo podemos ver representado en la Fig. 3.1.3.

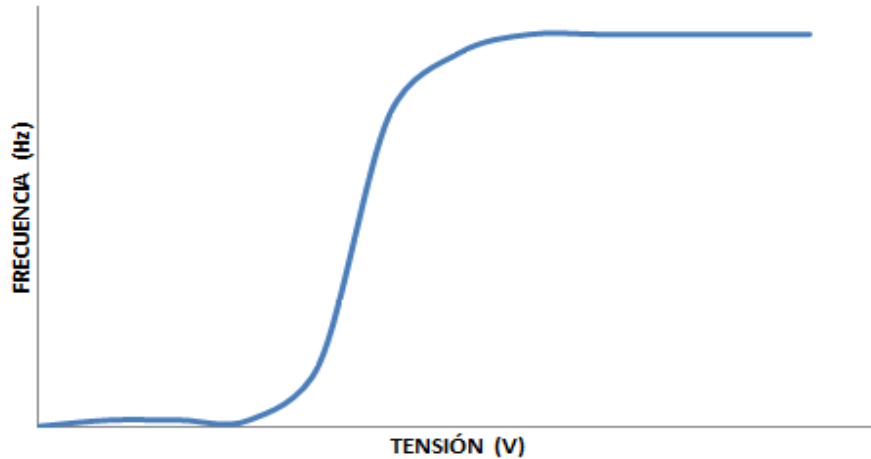


Fig. 3.1.3 Gráfica tensión-frecuencia de un VCO real.

Los VCO tienen unos parámetros importantes que son los que describiremos a continuación:

- **Frecuencia Central:** La frecuencia central está determinada por el entorno en que este usado el VCO. Por ejemplo, si lo usamos en una aplicación de una señal de reloj para un microprocesador, el VCO podría requerir ir a una velocidad igual, o incluso el doble, que el reloj.
- **Rango de “sintonización”:** El rango de “sintonización” está determinado por dos parámetros, que son, la variación de la frecuencia central y el rango de frecuencia necesario para la aplicación que le estemos dando al VCO. Algunas aplicaciones incorporan frecuencias de reloj que deben variar en uno o dos órdenes de magnitud dependiendo del modo de operación, demandando así un ancho rango de “sintonización” proporcional.
- **Linealidad:** Las características de “sintonización” de los VCO muestran una no linealidad a la hora de convertir la tensión de entrada en una frecuencia de salida proporcional, ya que como hemos mencionado anteriormente, la ganancia del VCO,  $K_{VCO}$  no es constante. Esa no linealidad resulta un problema en aplicaciones posteriores, como por ejemplo en el uso de un PLL (Phase-Locked Loop). Por esta razón, es deseable minimizar la variación de  $K_{VCO}$  a lo largo del rango de “sintonización”.

- **Amplitud de salida:** Es deseable conseguir tener una gran amplitud de oscilación a la salida del circuito, haciendo a la señal de salida menos sensible al ruido que pueda producirse. La amplitud varía con la disipación de potencia, la tensión de alimentación e incluso con el rango de “sintonización”. Además, la amplitud de salida puede variar a lo largo del rango de “sintonización”, que es un efecto indeseado.
- **Disipación de potencia:** Como otros circuitos analógicos, los osciladores deben sacrificar características a cambio de otras según la aplicación que queramos darle. Velocidad, potencia e inmunidad al ruido son alguna de ellas. Un oscilador típico consume entre 1 – 10 mW de potencia.
- **Rechazo modo común:** Los osciladores son muy sensibles al ruido, especialmente cuando están realizados de modo no diferencial (single-ended). El diseño de osciladores para que presenten una inmunidad al ruido muy elevada es un reto difícil. Una manera de incrementar la inmunidad al ruido de un oscilador (o de otro circuito analógico) es emplear un método de diseño diferencial.
- **Señal de salida:** Incluso con una tensión de entrada constante, la señal de salida en el VCO no es perfectamente periódica. El ruido electrónico de los elementos del oscilador y el ruido de alimentación hacen que tengamos ruido en la fase y frecuencia de salida. Estos efectos son conocidos como “jitter” y “ruido de fase” o “phase noise” y vienen determinados por las especificaciones de cada aplicación.

Tenemos que mencionar que la ecuación que nos describe el comportamiento de la ganancia del VCO o  $K_{VCO}$  es la siguiente:

$$K_{VCO} = 2\pi \cdot \frac{f_{MAX} - f_{MIN}}{V_{MAX} - V_{MIN}}$$

- $K_{VCO}$  = Ganancia o sensibilidad del circuito.
  - $\Delta f$  = Variación de frecuencia.
  - $\Delta V$  = Variación de tensión.

### ○ 3.2 ¿Para qué sirve un VCO?

Los VCO tienen múltiples aplicaciones, ya que básicamente son osciladores que generan una señal y todos los aparatos electrónicos precisan de osciladores. Algunas de ellas son las siguientes:

- Generación de funciones.
- Producción de música electrónica.
- Sintetizadores de frecuencia utilizados en equipos de comunicación.
- PLL.

➤ **ADC (Analogic-Digital Converter)** etc...

Una de sus aplicaciones más comunes es en el uso de PLL, un circuito que se emplea frecuentemente en la tecnología de circuitos integrados moderna. El concepto de enganche de fase, o en inglés “phase locking”, fue inventado en la década de 1930 y rápidamente encontró un amplio uso en la electrónica y las comunicaciones.

Un PLL es un sistema realimentado que compara la fase de la señal de salida con la fase de la señal de entrada. La comparación de dichas fases la realiza un elemento llamado “comparador de fase” o “detector de fase” (PD).

La topología básica de un PLL puede verse en la Fig. 3.2.1 donde se muestra en forma de diagrama de bloques.

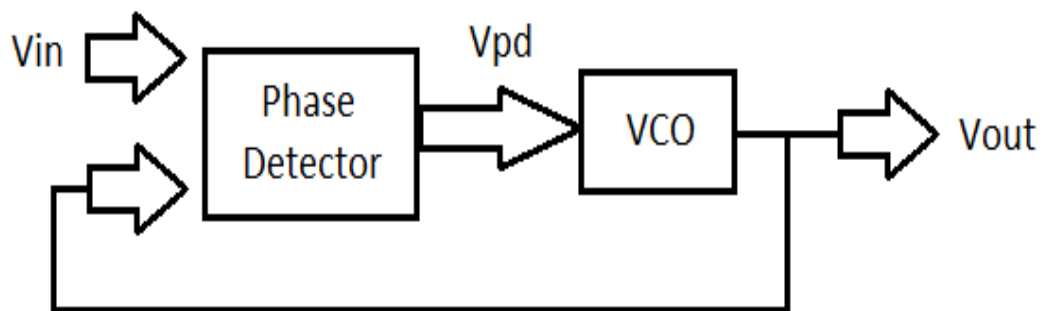


Fig.3.2.1. Diagrama de bloques de un PLL.

No vamos a entrar en más detalle en los PLL, puesto que no es nuestro objetivo pero era bueno describir brevemente una aplicación de los VCO como es esta.

### ○ 3.3 Tipos de VCO.

Llegados a este punto cabe mencionar los tipos de VCO que tenemos, los cuales vamos a clasificar según la forma de onda producida a la salida del oscilador. De forma general se pueden clasificar en:

- **Osciladores Armónicos:** Generan una forma de onda sinusoidal. Por lo general consisten en un resonador con un amplificador que sustituye las pérdidas del resonador y lo aísla de la salida. Algunos ejemplos de osciladores armónicos son:
  - Oscilador LC, oscilador de Hartley, oscilador Colpitts, oscilador Clapp, puente de Wien, etc...
- **Osciladores de Relajación:** Son circuitos que producen una salida que bascula entre dos valores definidos de tensión, pasando de uno al otro en un tiempo mínimo en comparación con el tiempo que transcurre entre los valores extremos. Algunos ejemplos son:



- Oscilador basado en el comparador regenerativo o Shmitt trigger.

Dentro de los tipos de osciladores ahí una topología en cual nos vamos a centrar, ya que en ella está basada el presente Trabajo Fin de Grado, que es la topología del oscilador en anillo, que discutiremos en el siguiente apartado.

### ○ 3.4 Alternativas de diseño.

En este apartado vamos a ir desde un oscilador en anillo simple, pasando por el Current Starved VCO y el Current Starved VCO diferencial, hasta la topología en la que se basa nuestro Trabajo Fin de Grado.

#### ▪ 3.4.1 Oscilador en Anillo.

El oscilador en anillo es un tipo de oscilador de relajación y consiste en un número impar de inversores conectados en serie donde el nodo de salida del último inversor es conectado al nodo de entrada del primero.

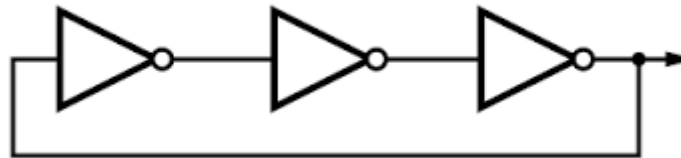


Fig. 3.4.1.1 Diagrama de un oscilador en anillo de tres etapas.

En la Fig. 3.4.1.1 se muestra un oscilador en anillo de tres etapas, donde cada etapa está formada por un inversor CMOS.

Para entender el funcionamiento de un oscilador en anillo debemos comprender primero lo que significa el retardo de la puerta o “gate delay”. En un dispositivo físico, ninguna puerta puede cambiar instantáneamente. En un circuito fabricado por MOSFET’s, por ejemplo, la capacitancia de la puerta debe estar cargada antes de que la corriente fluya entre la fuente y el drenador. Por lo tanto, la salida de cada inversor en un oscilador en anillo cambia una cantidad finita de veces después de que la entrada haya cambiado.

A partir de aquí puede verse fácilmente que cuantos más inversores añadamos a nuestro oscilador en anillo tendremos un mayor retardo en la puerta, de manera que la frecuencia de oscilación se verá reducida.

Los osciladores en anillo son un tipo de los llamados osciladores de retardo de tiempo, o “delay time oscillators”. Consisten en inversores con un elemento de retardo entre su salida y su entrada. El inversor debe tener una ganancia mayor que 1 para que se produzca la oscilación. Consideremos el caso inicial donde las tensiones de salida y de entrada son momentáneamente iguales en un punto de equilibrio, una pequeña

señal de ruido del circuito haría que la tensión de salida aumentase de manera muy pequeña. Después de pasar por el elemento de retardo, esa pequeña señal de la salida del inversor pasa a estar a la entrada del siguiente inversor. El inversor tiene una ganancia negativa superior a 1, por lo que la señal de salida cambiara en dirección opuesta a la señal de entrada. Esa señal amplificada se propagara de la salida a la entrada a través del elemento de retardo, donde será amplificada e invertida otra vez por el siguiente inversor. Se puede pensar que la señal de salida seguirá amplificándose infinitamente pero el punto de estabilización lo conseguimos cuando la señal alcanza los límites de la tensión de alimentación.

En lugar de tener un elemento de retardo, cada inversor contribuye al retardo de la señal a través de un anillo de inversores, de ahí su nombre de oscilador en anillo.

Añadiendo inversores al anillo incrementamos el retardo y disminuimos la frecuencia de oscilación. Cambiando la tensión de alimentación cambiamos a su vez el retardo a través de cada inversor, de manera que las tensiones de alimentación más altas disminuyen el retardo y aumentan la frecuencia de oscilación.

La ecuación que nos relaciona la frecuencia de oscilación con el retardo de cada inversor es la siguiente:

$$f_{OSC} = \frac{1}{N \cdot (t_{PHL} + t_{PLH})}$$

- $f_{OSC}$  = frecuencia de oscilación.
- $N$  = número de inversores.
- $t_{PHL}$  = retardo de propagación intrínseco de subida del inversor.
- $t_{PLH}$  = retardo de propagación intrínseco de bajada del inversor.

Un ejemplo de un oscilador en anillo de tres etapas básico es el mostrado en la Fig. 3.4.1.2 siguiente.

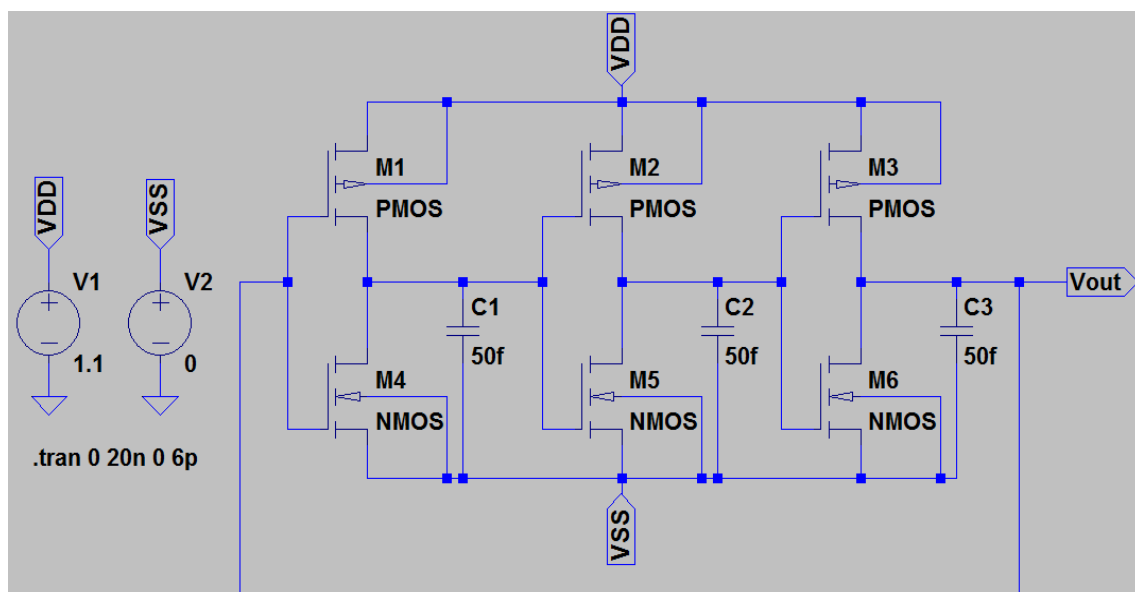


Fig.3.4.1.2 Esquemático oscilador en anillo de tres etapas.

En el esquemático de la Fig. 3.4.1.2 no se han incluido los símbolos de los inversores para que se pudiera ver cómo está formado realmente el oscilador en anillo, pero a partir de ahora cuando mostremos un inversor lo mostraremos con su símbolo (creado en la herramienta de trabajo LTspice). Dicho oscilador en anillo quedaría como se muestra en la Fig. 3.4.1.3.

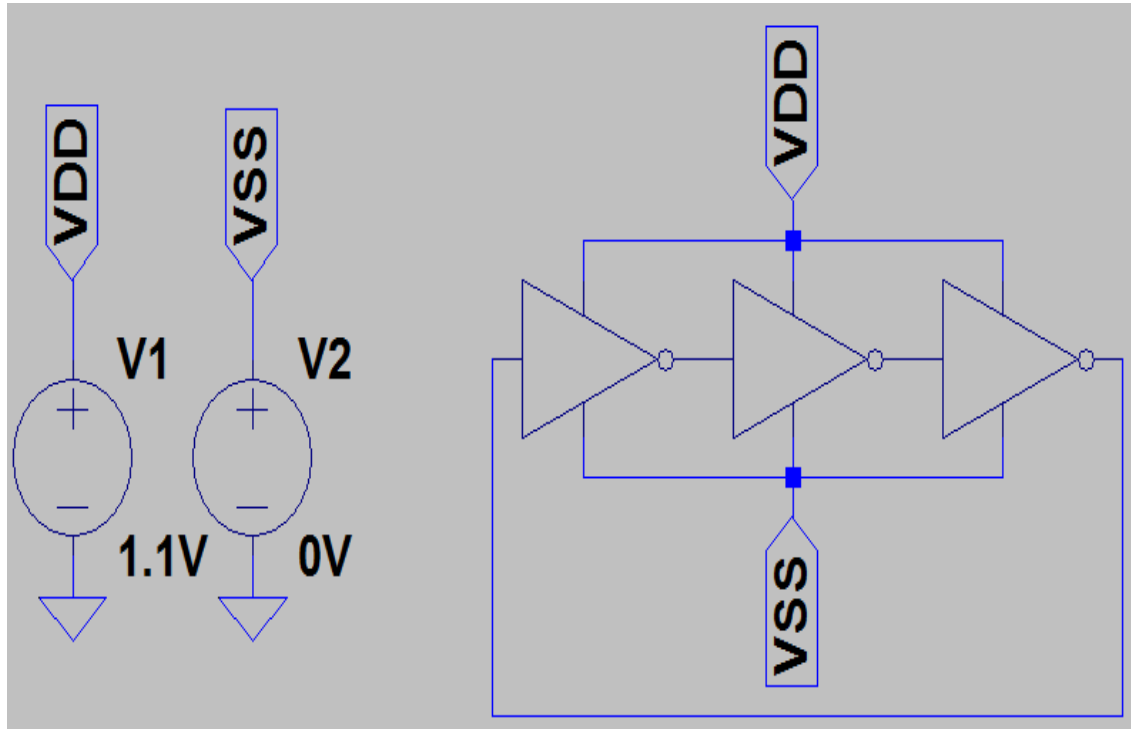


Fig. 3.4.1.3 Esquemático oscilador en anillo de tres etapas con símbolos.

**Los transistores PMOS y NMOS utilizados (y que vamos a utilizar a partir de ahora en todas las simulaciones) en la simulación de la Fig. 3.4.1.2 tienen una relación de 2/1 con unas dimensiones.**

#### **PMOS**

$L = 50 \text{ nm.}$   
 $W = 2 \text{ }\mu\text{m.}$

#### **NMOS**

$L = 50 \text{ nm.}$   
 $W = 1 \text{ }\mu\text{m.}$

Además, hemos elegido que los valores de los condensadores sean así para este ejemplo debido a que es el valor que tenemos en todos los condensadores de los circuitos mostrados en este Trabajo Fin de Grado.

Mostramos a continuación, en la Fig. 3.4.1.4, la simulación del oscilador en anillo de la Fig. 3.4.1.3. De la simulación podemos ver que la señal resultante es una sinusoidal con una frecuencia de oscilación de 1.13 GHz, frecuencia de oscilación que varía dependiendo de un número de parámetros mencionados anteriormente. Si queremos que la frecuencia de oscilación de nuestro oscilador en anillo aumente, tenemos que, por ejemplo, aumentar la relación entre los transistores, aumentar la

tensión de alimentación o disminuir la capacidad de los condensadores, mientras que si queremos que nuestro oscilador en anillo trabaje a una frecuencia de oscilación más pequeña, debemos hacer lo contrario y además podemos reducir la frecuencia, añadiendo más inversores a nuestro oscilador en anillo. Esto reduce la frecuencia como obedeciendo a la ecuación que relaciona la frecuencia de oscilación con el número de inversores y con el retardo intrínseco de cada inversor.

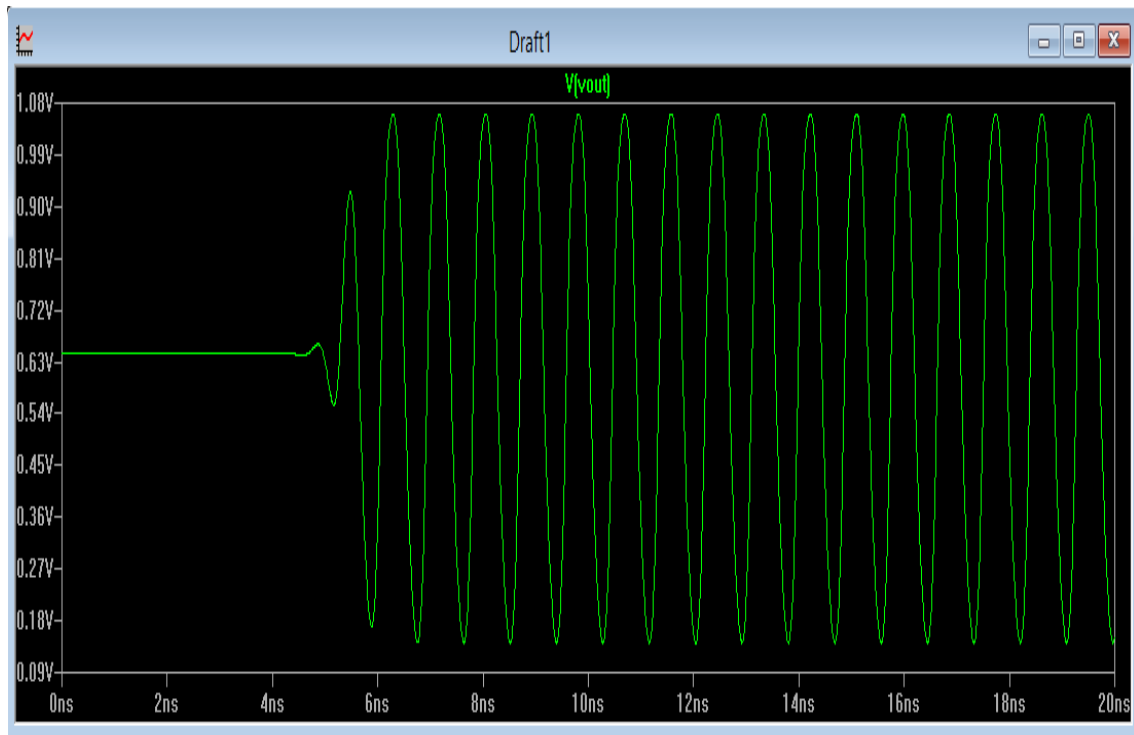


Fig. 3.4.1.4. Simulación de un oscilador en anillo de tres etapas (Fig. 3.4.1.3).

### ▪ 3.4.2 Current Starved Inverter.

Una vez hemos mostrado como se realiza y funciona un oscilador en anillo pasamos a describir la topología del Current Starved VCO, circuito que opera de manera parecida al oscilador en anillo.

La motivación de usar esta configuración se debe a que para nosotros es importante ser capaces de controlar la frecuencia de oscilación de nuestro VCO, y eso, lo podemos lograr de varias maneras.

Una de ellas sería modificando la tensión de alimentación del circuito, pero esto llevaría a complicaciones puesto que dicha variación se vería reflejada por todas partes y aumentaría el ruido del circuito, una característica no deseable en ningún circuito electrónico.

La siguiente manera de poder modificar la frecuencia de oscilación de nuestro circuito a nuestro antojo sería modificar la relación entre los transistores, es decir, modificar su tamaño. Esto físicamente no es posible cuando nuestro circuito integrado

está fabricado, puesto que no podemos abrirlo para diseñar de nuevo una relación nueva entre los transistores PMOS y NMOS. Además no tenemos ningún modelo matemático entre la relación de los transistores y la tensión de entrada del circuito.

También podríamos variar la capacidad de los condensadores pero no hay ninguna forma de que dicha capacidad dependa de la tensión que le entre a dicho dispositivo.

Por lo tanto, la única opción que nos queda para controlar la frecuencia está en la intensidad de entrada a nuestros inversores. Ahí es donde entra el modelo del Current Starved VCO. Obviamente el Current Starved VCO es una configuración donde hemos implantado el Current Starved Inverter en lugar de inversor CMOS básico, así que antes de describir el Current Starved VCO tendremos que mencionar el Current Starved Inverter.

Lo primero que tendríamos que definir, es que un Current Starved VCO es esencialmente un oscilador en anillo controlado por corriente, formado por lo que llamamos Current Starved Inverter en lugar de inversores normales. Estos Current Starved Inverter parten de la topología de un inversor CMOS normal, pero también están controlados por corriente al incluir dos transistores extras, un PMOS en serie con la tensión de alimentación y el transistor PMOS del inversor, y otro NMOS en serie con GND y el transistor NMOS del inversor. Lo mostramos en la Fig. 3.4.2.1.

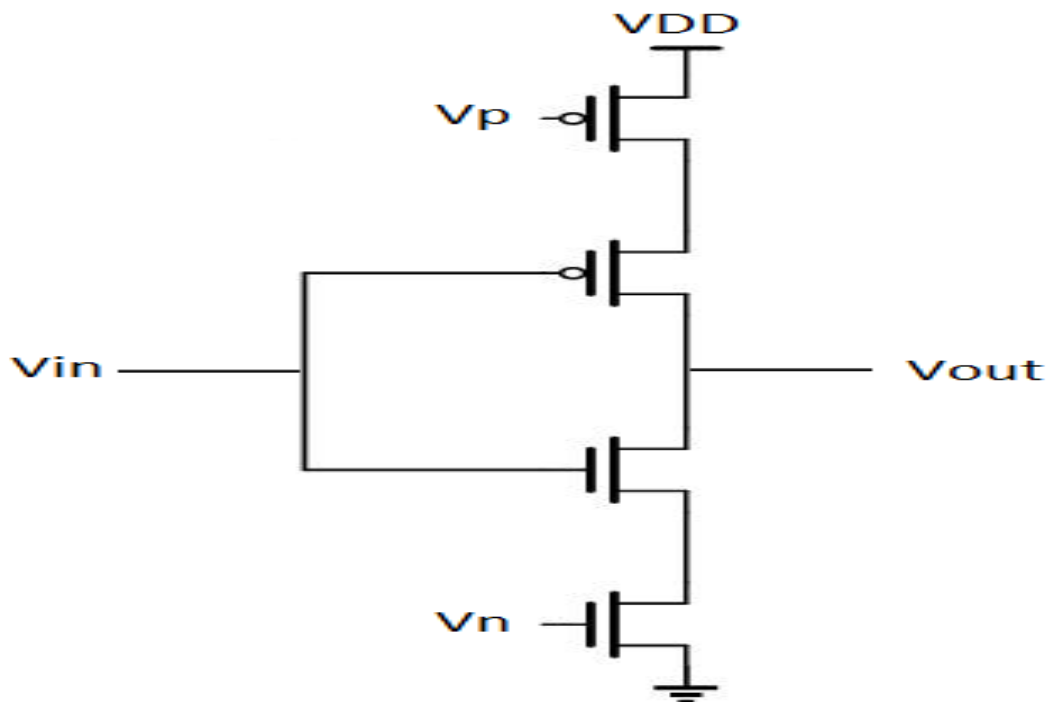


Fig. 3.4.2.1 Esquemático Current Starved Inverter clásico.

En el esquemático podemos ver que  $V_p$  y  $V_n$  son tensiones de control para los transistores, de manera que así podemos controlar la corriente que entra a nuestro circuito inversor.

Esta corriente que entra en el inversor a través de los transistores conectados a  $V_p$  y  $V_n$  hace que el circuito aumente o disminuya la frecuencia al actuar de transconductores.

Llegados a este punto, y como se comentara posteriormente, debemos decir que si quisiéramos poner los transistores PMOS en zona de corte, bastaría con tener  $V_p = \text{GND}$  y si, por el contrario, quisiéramos poner los transistores NMOS en zona de corte, tendríamos que conectar  $V_n$  a la tensión de alimentación.

Así es como se implementaría un Current Starved Inverter estándar, sin embargo tiene como problema que el rango de funcionamiento es menor, ya que el margen de tensiones que admite no es muy alto, esto se debe a tener cuatro transistores, dos PMOS y dos NMOS.

En este Trabajo Fin de Grado se propone una topología distinta de Current Starved Inverter, que sería quedarnos solo con la tensión  $V_n$  como tensión de control del inversor. Lo mostramos a continuación en la Fig. 3.4.2.2.

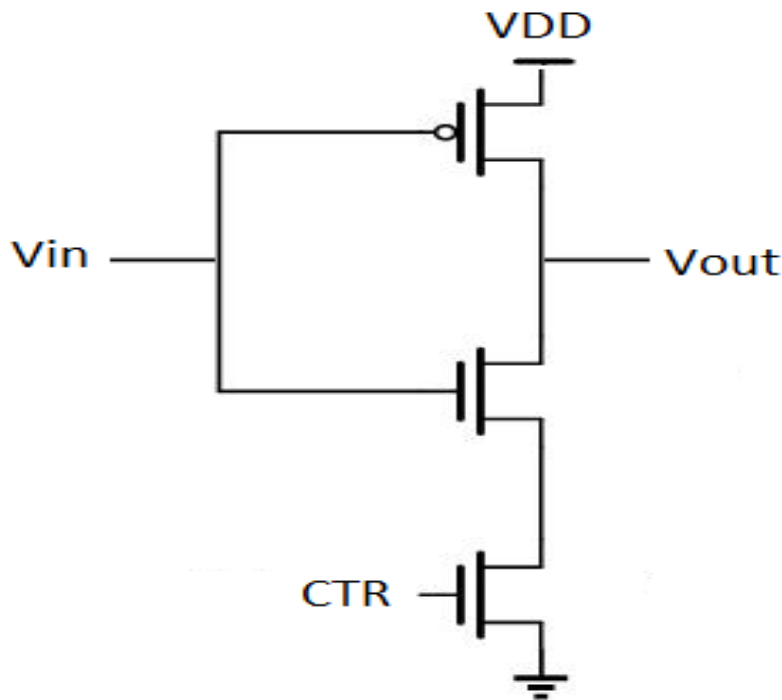


Fig. 3.4.2.2 Topología Current Starved Inverter propuesta.

Con esta nueva topología comprobamos que nuestro VCO sigue funcionando ya que nos da una señal periódica en el tiempo y además hemos solucionado y mejorado la anterior configuración. Con esta disposición solo tenemos un terminal de control para nuestro inversor, lo que se traduce en mayor eficiencia ya que hemos comprobado que no tenemos por qué tener dos. Además, hemos dado a nuestro inversor un mayor rango de tensión al eliminar un transistor PMOS, lo que se traduce en un aumento del rango de funcionamiento.

### ▪ 3.4.3 Current Starved VCO.

El esquemático del Current Starved VCO se muestra en la Fig. 3.4.3.1. Los MOSFET's M1 y M2 funcionan como fuentes de corriente, limitando la corriente disponible y que entra en el inversor, en otras palabras, el inversor está limitado por corriente. Hay que mencionar también que la corriente de M1 y M2 se copia a cada inversor.

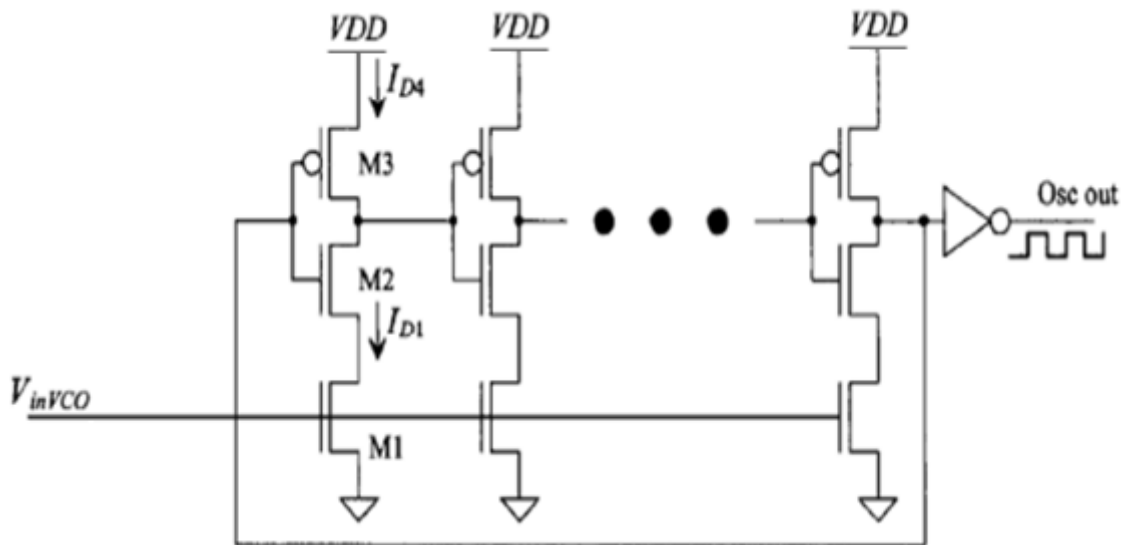


Fig. 3.4.3.1 Esquemático Current Starved VCO.

Uno de los problemas de este Current Starved VCO es que aplicando directamente la tensión de entrada a la puerta del transistor M2 provocamos que la corriente en M2 y en M1 sea una corriente no lineal. Una manera de abordar el problema es incluir una etapa de entrada al Current Starved VCO formada por un transistor PMOS y otro NMOS. Nótese que ahora la corriente del transistor M3 esta copiada en M1 y M2 para controlar la corriente utilizada en el Current Starved VCO.

Con este nuevo esquemático hemos conseguido limitar la corriente que entra a nuestro Current Starved VCO, pero aun así seguimos teniendo un problema a la hora de que nuestro circuito sea inmune al ruido, puesto que está diseñado de manera "single-ended" o de manera no diferencial.

Aun así, podemos seguir haciendo el circuito más lineal de dos maneras distintas, una de ellas es conseguir linealizar aún más la etapa de entrada. Eso se consigue colocando una resistencia en la fuente del transistor que actúa como transconductor transformando la tensión de entrada a corriente. Es cierto que si implementamos una resistencia en la fuente de nuestro transconductor conectado a la tensión de entrada dicho transconductor tendrá menos ganancia, puesto que la corriente que circule será menor, pero en este caso nos importa más la linealidad del circuito que la ganancia del transconductor.

La segunda manera es emplear una topología diferencial para nuestro circuito, que además, nos solucionara el problema de la inmunidad al ruido en cierto grado.

La configuración resultante de la implementación de la etapa de entrada la podemos ver en la Fig. 3.4.3.2 donde queda señalada la nueva etapa de entrada a nuestro Current Starved VCO que nos limitara la corriente disponible a su entrada.

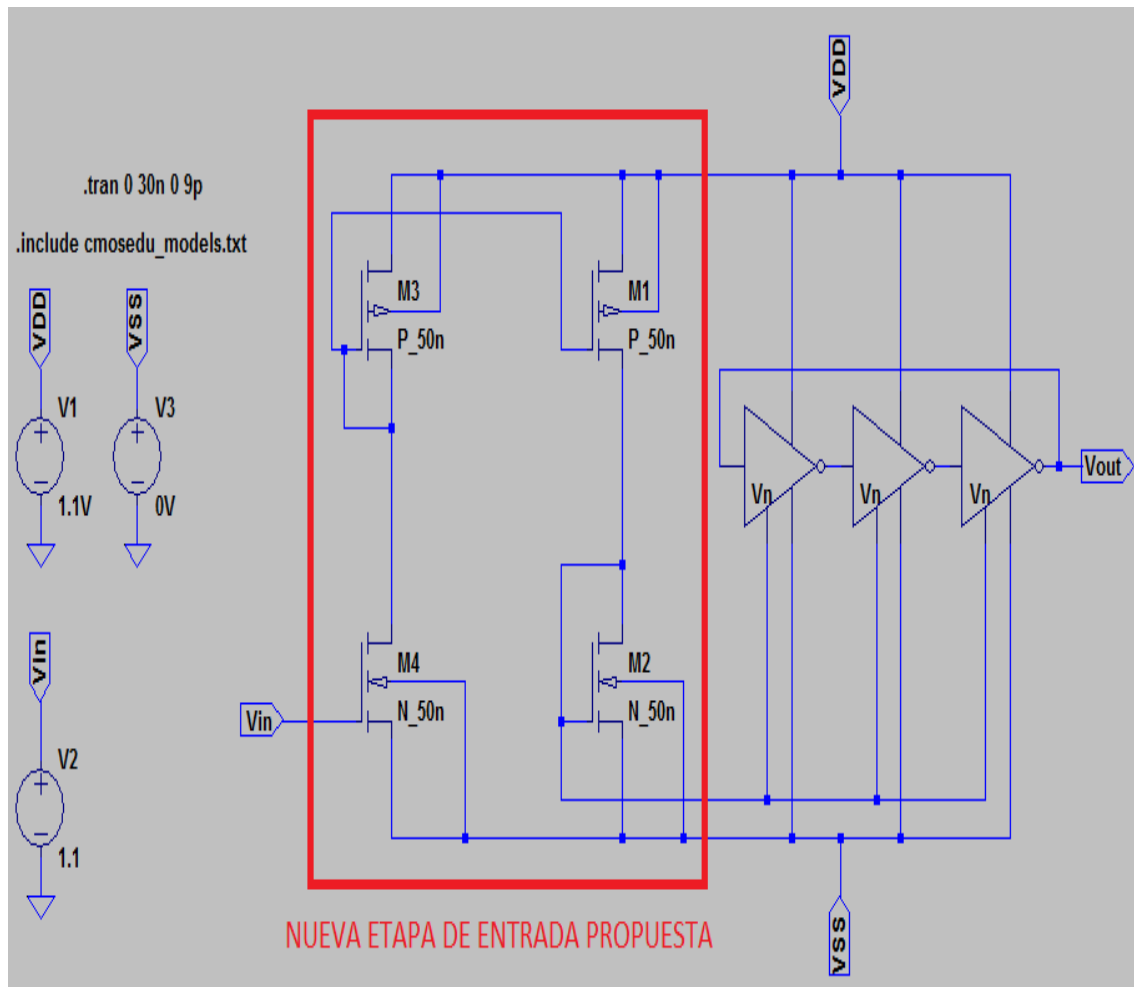


Fig. 3.4.3.2 Esquemático Current Starved VCO de 3 etapas con nueva etapa de entrada propuesta.

Con esta nueva configuración que hemos propuesto estamos linealizando la etapa de entrada a nuestro circuito, de manera que limitemos y controlemos la corriente que accede a él.

Una vez hemos añadido la etapa de entrada a nuestro Current Starved VCO tenemos que implementar el primer método de que hemos mencionado antes para linealizar la función de transferencia del circuito. Se muestra en la Fig. 3.4.3.3.

Para el valor de la resistencia podemos elegir cualquier valor del orden de k $\Omega$ , en nuestro caso hemos elegido un valor de 10 k $\Omega$ .



A la segunda manera de linealizar aún más el Current Starved VCO la dedicamos un apartado propio y la estudiaremos e implementaremos más adelante.

Este método que se muestra en la Fig. 3.4.3.3 no es el que mayor linealidad presenta, pero es una buena forma de conseguir linealizar la función de transferencia de nuestro circuito sin implementar un circuito transconductor más complejo a la entrada.

Ahora tenemos que enfrentarnos al problema del ruido en nuestro circuito, para lo cual, vamos a diseñarlo de manera diferencial. Esta configuración es única debido a que puede rechazar una señal común a ambas entradas, que se debe a la propiedad de tensión diferencial de entrada nula.

La motivación de conseguir que nuestro circuito sea algo más inmune al ruido explica por qué vamos a implementarlo de manera diferencial, ya que esta propiedad es muy interesante para discriminar componentes de ruido en modo común mientras se amplifican las señales que aparecen de forma diferencial. Esto lo estudiamos a continuación. Además, el modelo diferencial tiene la ventaja de linealizar algo más el sistema, y por tanto, su función de transferencia.

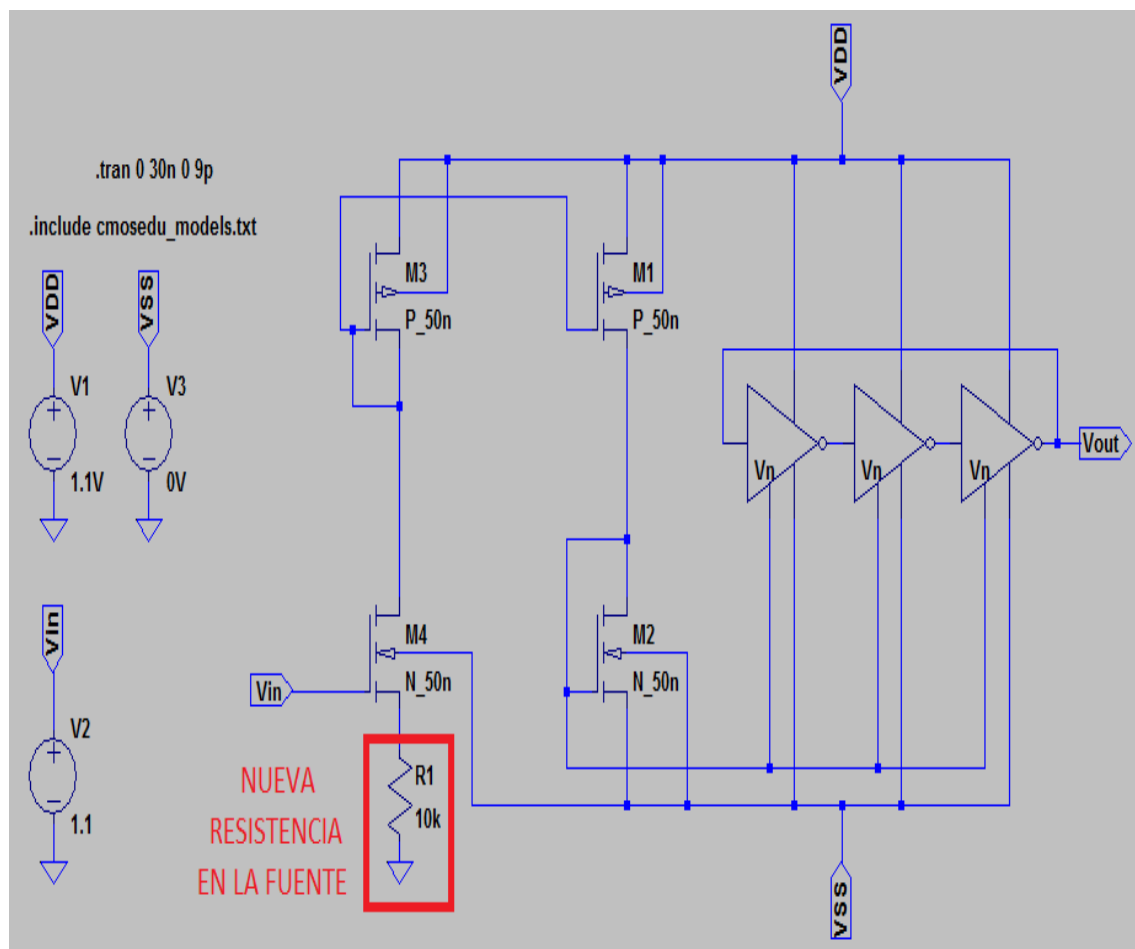


Fig. 3.4.3.3 Esquemático Current Starved VCO para linealizar la etapa de entrada.

### 3.4.4 Current Starved VCO diferencial.

Para conseguir nuestro Current Starved VCO en modo diferencial, lo primero que tenemos que saber es que elementos tenemos que conseguir que operen de forma diferencial. De manera inmediata se puede concluir que los elementos que operaran de forma diferencial son los elementos por los que está formado el Current Starved VCO que son los Current Starved Inverter.

A continuación mostramos la configuración de un Current Starved Inverter en modo diferencial en la Fig. 3.4.3.1.

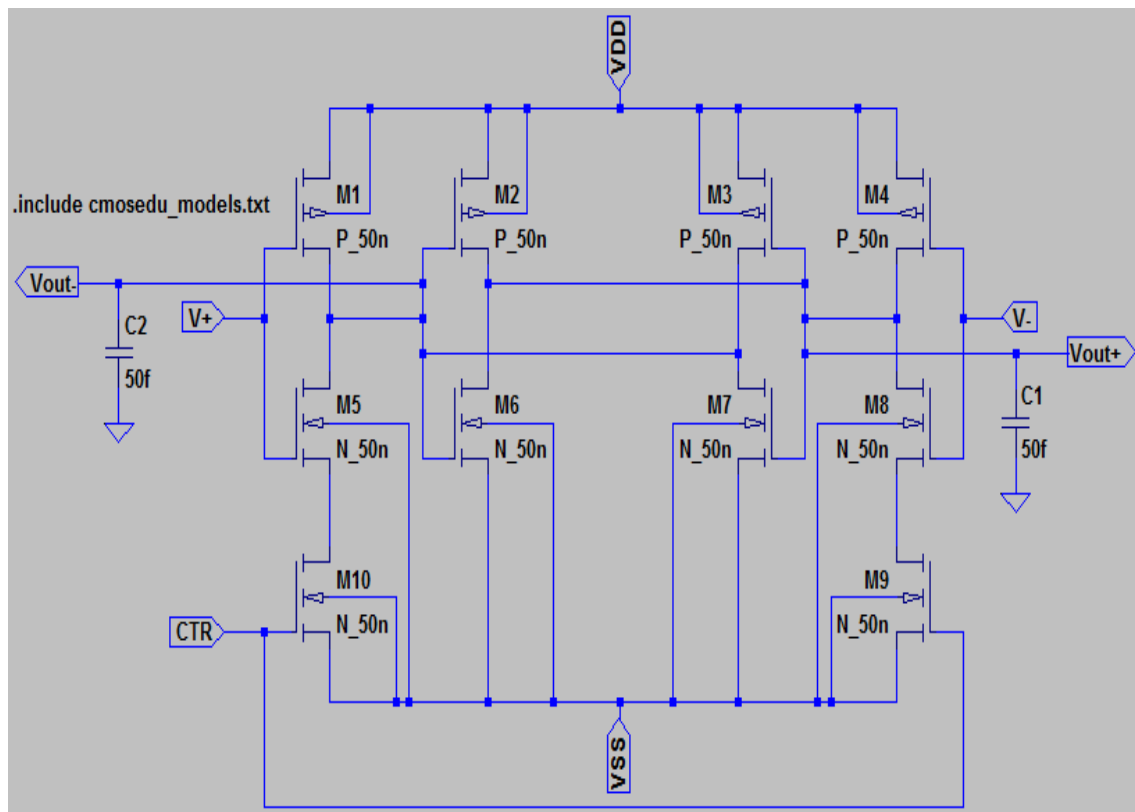


Fig. 3.4.3.1 Esquemático Current Starved Inverter en modo diferencial.

Si nos fijamos en la Fig. 3.4.3.1, ahora tenemos dos señales de entrada a nuestro inversor que son  $V_+$  y  $V_-$  las cuales entran a sus inversores correspondientes a través de la etapa de polarización que proporciona la topología Current Starved. Cuando tenemos la señal de salida de cada inversor, conectamos dicha salida a la entrada del inversor contrario para tener la configuración en modo diferencial.

Ahora que hemos pasado a la configuración en modo diferencial tenemos solo un transistor por cada inversor para polarizar, que en este caso son M9 y M10, ellos serán los que reciban la señal de control de entrada, es decir, la corriente de la etapa de entrada de la fuente de corriente del Current Starved VCO.

La Fig. 3.4.3.1 lo que muestra es únicamente la configuración diferencial de un único Current Starved Inverter, pero el esquemático del Current Starved VCO operando en modo diferencial quedaría lo refleja la Fig. 3.4.3.2.

Si nos fijamos, esta topología no es más que hacer nuestro nuevo Current Starved Inverter de manera simétrica conectándose a los inversores, y luego unir la salida de cada inversor con la entrada de nuestro Current Starved Inverter.

Las principales diferencias del modo diferencial respecto al modo simple es que ahora tenemos a la salida, al igual que a la entrada dos señales, una positiva y la otra negativa y de esa manera podemos controlar la diferencia entre ellas a la entrada de cada inversor (lo ideal es que  $V_+ - V_- = 0$ ).

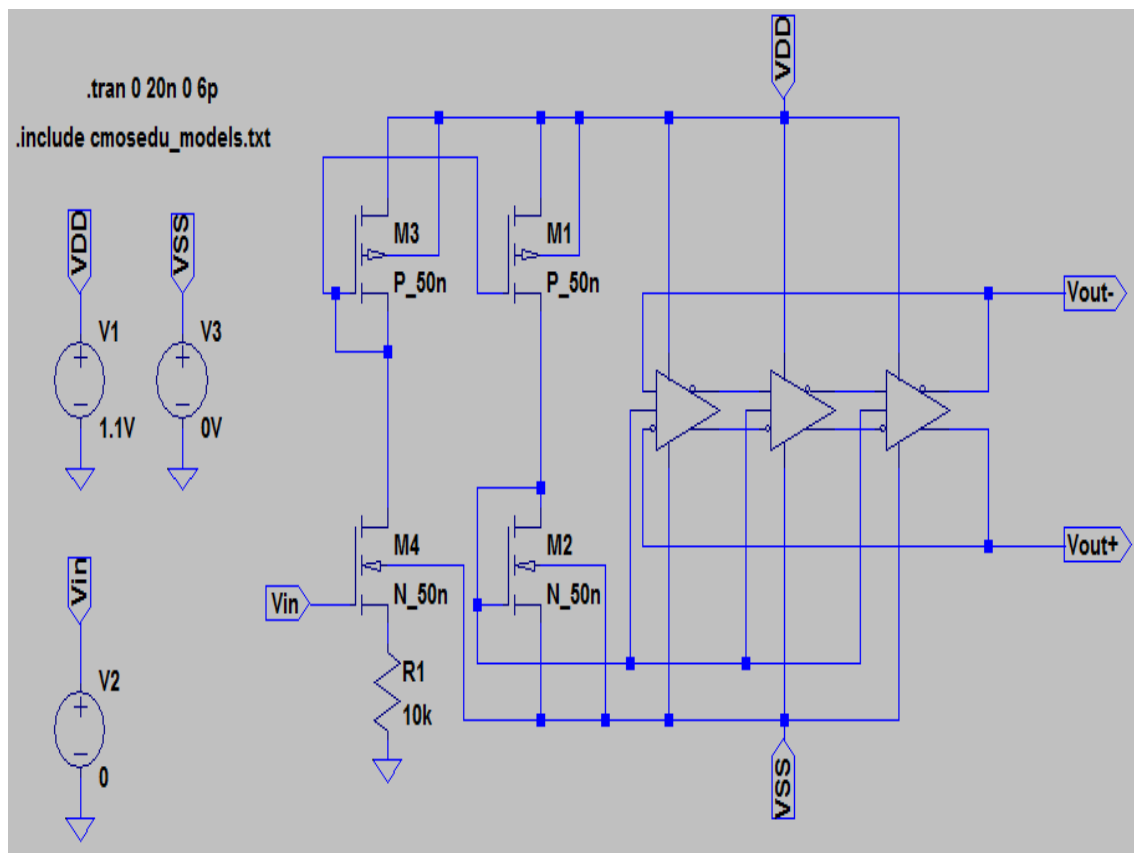


Fig. 3.4.3.2 Esquemático Current Starved VCO en modo diferencial.

Por ultimo veremos cómo nuestro VCO modula la señal de salida si a su entrada tenemos una señal sinusoidal en lugar de tener una tensión continua.

### ▪ 3.4.5 Current Starved VCO diferencial en modulación.

Hasta ahora hemos estudiado nuestro VCO en corriente continua, pero nos interesa comprobar si nuestro circuito es capaz de modular una señal en frecuencia, por ello vamos a analizar que ocurre cuando en lugar de tener una señal continua tenemos una señal sinusoidal a la entrada.

Si hablamos de usar nuestro circuito en un ADC, lo siguiente que tendríamos que implementar sería un contador a la salida de nuestro VCO, de manera que podamos reconstruir la señal de entrada gracias a la modulación en frecuencia de la señal de salida. A groso modo sería añadir un contador a la salida del circuito que se reseteara cada 'X' tiempo ( $f_s$ ), de esa manera calculamos la cuenta entre reseteo y reseteo y podríamos saber cómo era la señal de entrada, sabiendo la señal modulada tendrá una cuenta mayor cuanto más frecuencia y menor cuenta cuanto menos frecuencia tengamos. Esto se mediría de manera que a cada paso alto de la señal sumásemos una unidad a la cuenta.

Una diferencia importante que no hemos mencionado todavía es la que habría si en lugar de utilizar una topología de tres etapas usásemos una de cinco, siete, nueve u once. La principal diferencia, aparte del consumo total de nuestro circuito, que será mayor cuantas más etapas tenga, es de cara a la implementación en un circuito posterior. Si seguimos con el ejemplo anterior, donde usábamos nuestro VCO para diseñar un ADC, debemos saber que un número de etapas mayor nos dará una mayor resolución a la hora de reconstruir la señal de entrada, ya que podríamos utilizar un contador digital polifásico que mide la salida de cada etapa.

## CAPITULO 4: Caracterización del VCO.

### ○ 4.1 Simulaciones.

En el presente capítulo mostraremos una serie de simulaciones para corroborar lo que hemos explicado anteriormente sobre nuestro VCO, es decir, empezaremos con una simulación de nuestro VCO en anillo básico y veremos que linealidad presenta su función de transferencia. Después implantaremos nuestra topología de Current Starved Inverter al VCO en anillo básico y volveremos a estudiar la linealidad que presenta a la hora de actuar como convertidor tensión-frecuencia. El siguiente paso será añadir a nuestro Current Starved VCO la etapa de entrada con la que pretendemos controlar y linealizar la corriente que entra a nuestros Current Starved Inverter y medir de nuevo la linealidad de su función de transferencia. Por último, implantaremos las dos topologías que aumentaban la linealidad de nuestro circuito, que eran la adición de una resistencia en la fuente del transconductor de la tensión de entrada, y también el diseño de nuestro Current Starved VCO en modo diferencial.

#### ▪ 4.1.1 Oscilador en anillo básico.

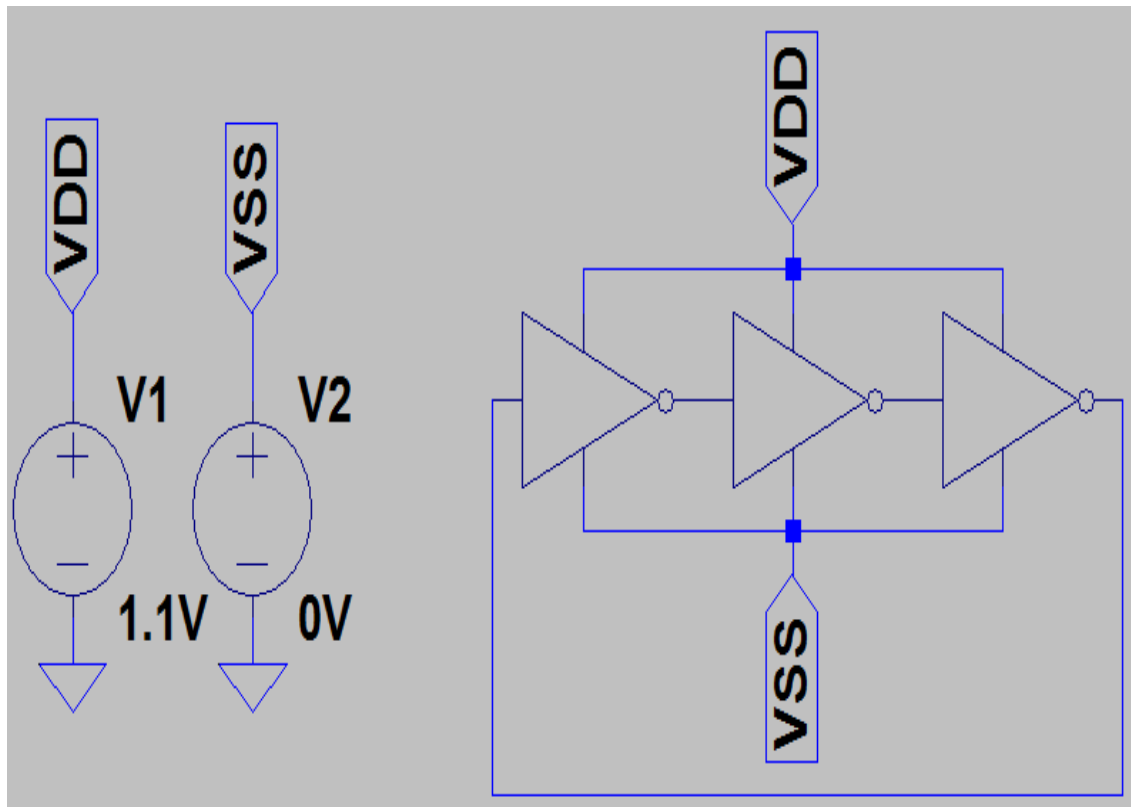


Fig. 4.1.1 Esquemático oscilador en anillo de tres etapas con símbolos.

Este es el oscilador en anillo básico. Todavía no es considerado un VCO puesto que no tiene tensión de entrada para controlar la frecuencia de oscilación. Su señal de salida queda ilustrada en la Fig. 4.1.2.

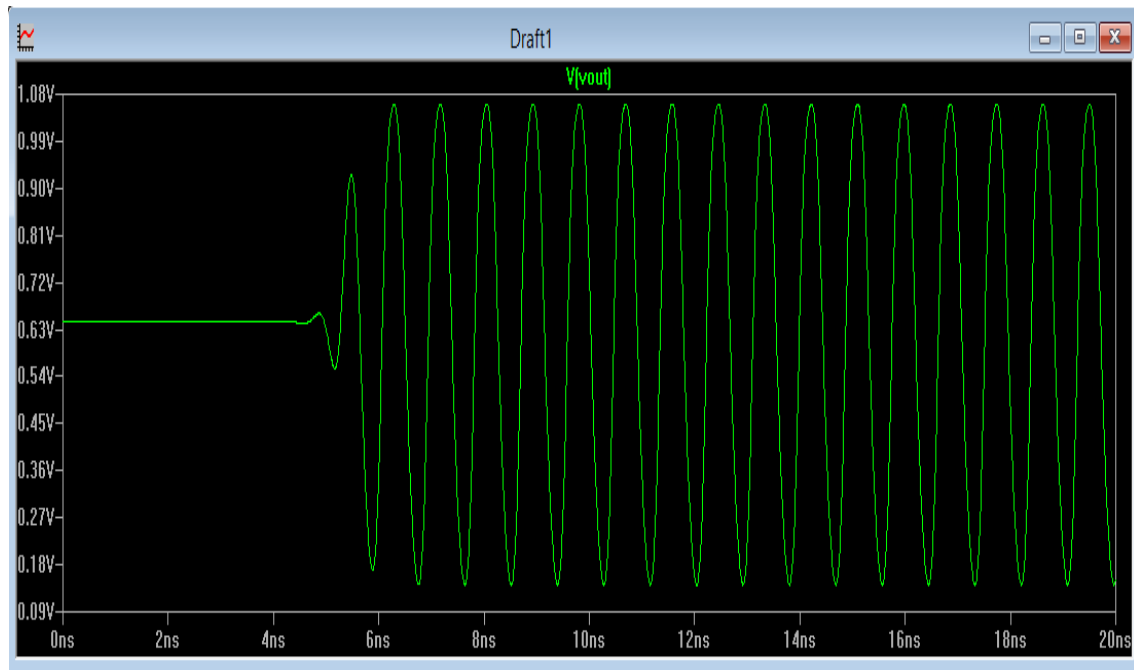


Fig. 4.1.2 Simulación de un oscilador en anillo de tres etapas.

Como este oscilador no es todavía un VCO, no podemos estudiar su función de transferencia tensión de entrada vs frecuencia de oscilación, ya que no tiene tensión de entrada y por lo tanto la frecuencia de oscilación se mantendrá constante.

La siguiente topología que vamos a simular es el oscilador en anillo basado en el Current Starved Inverter clásico, es decir, vamos a simular el Current Starved VCO clásico. Su esquemático se muestra en la Fig. 4.1.3.

#### ▪ 4.1.2 Current Starved VCO de 3 etapas.

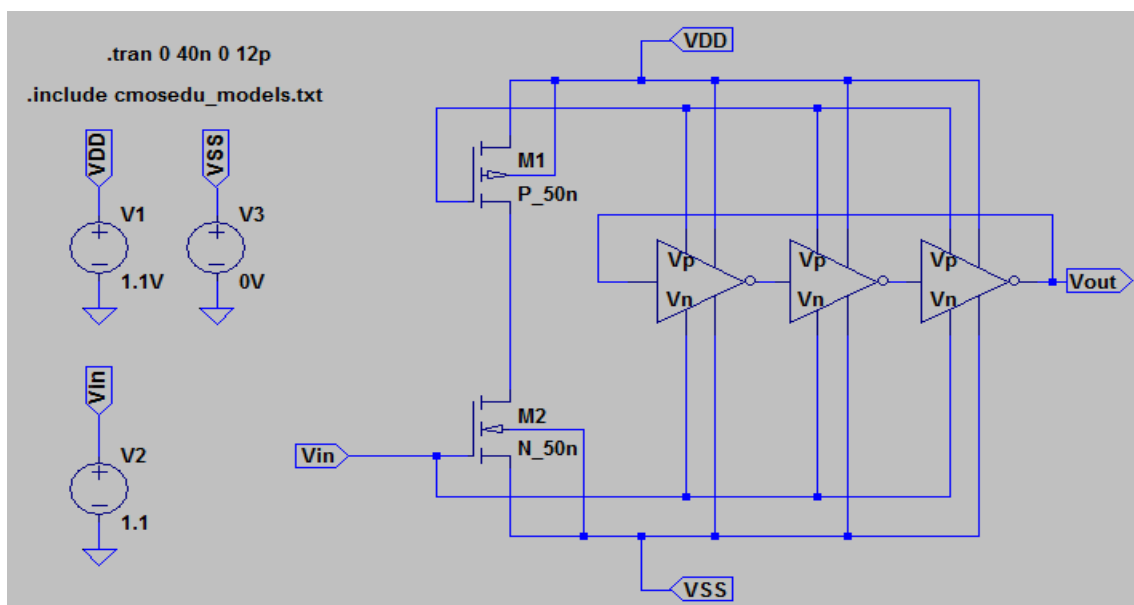


Fig. 4.1.3 Esquemático Current Starved VCO de 3 etapas.

El esquemático de la Fig. 4.1.3 esta formado por símbolos de Current Starved Inverter, que cada uno corresponde a lo mostrado en la Fig. 4.1.4.

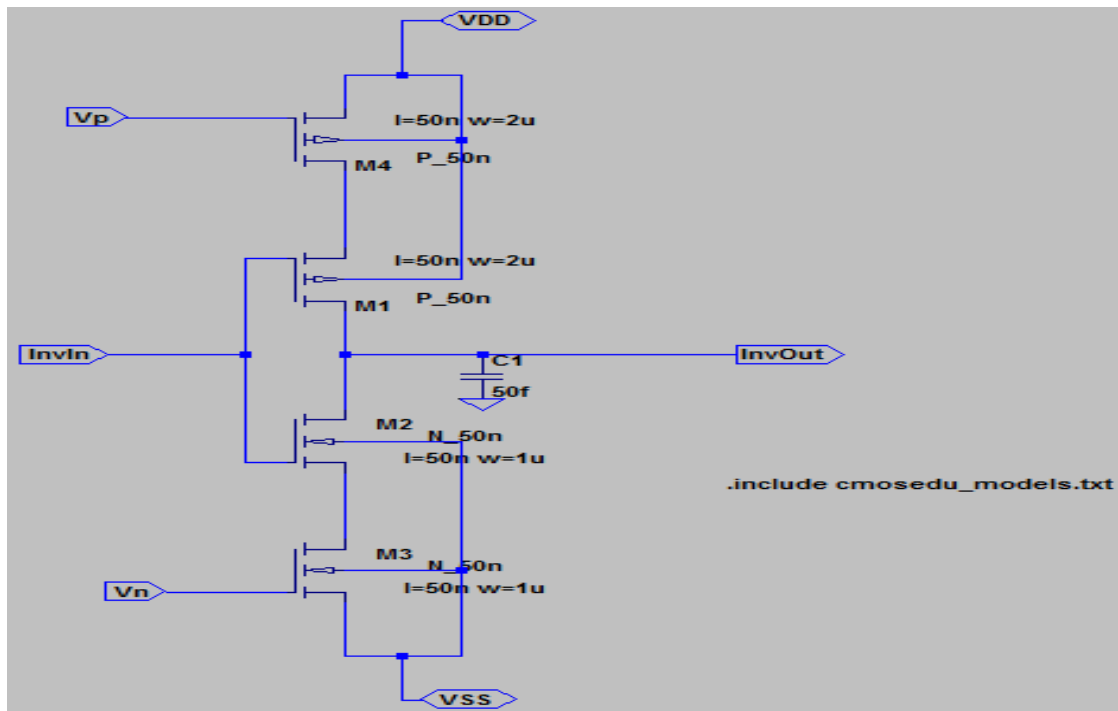


Fig. 4.1.4 Esquemático Current Starved Inverter clásico.

La simulación del circuito Current Starved VCO clásico y de su función de transferencia la tenemos en la Fig. 4.1.5 y en la Fig. 4.1.6 respectivamente.

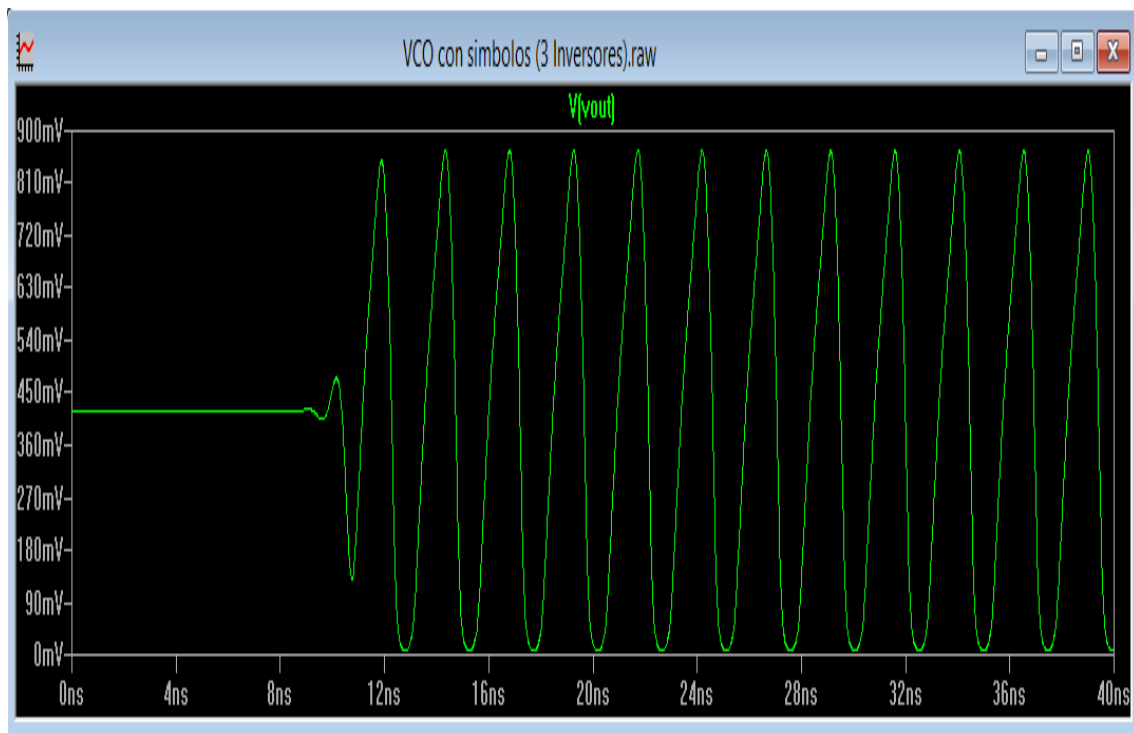


Fig. 4.1.5 Simulación Current Starved VCO clásico de 3 etapas.

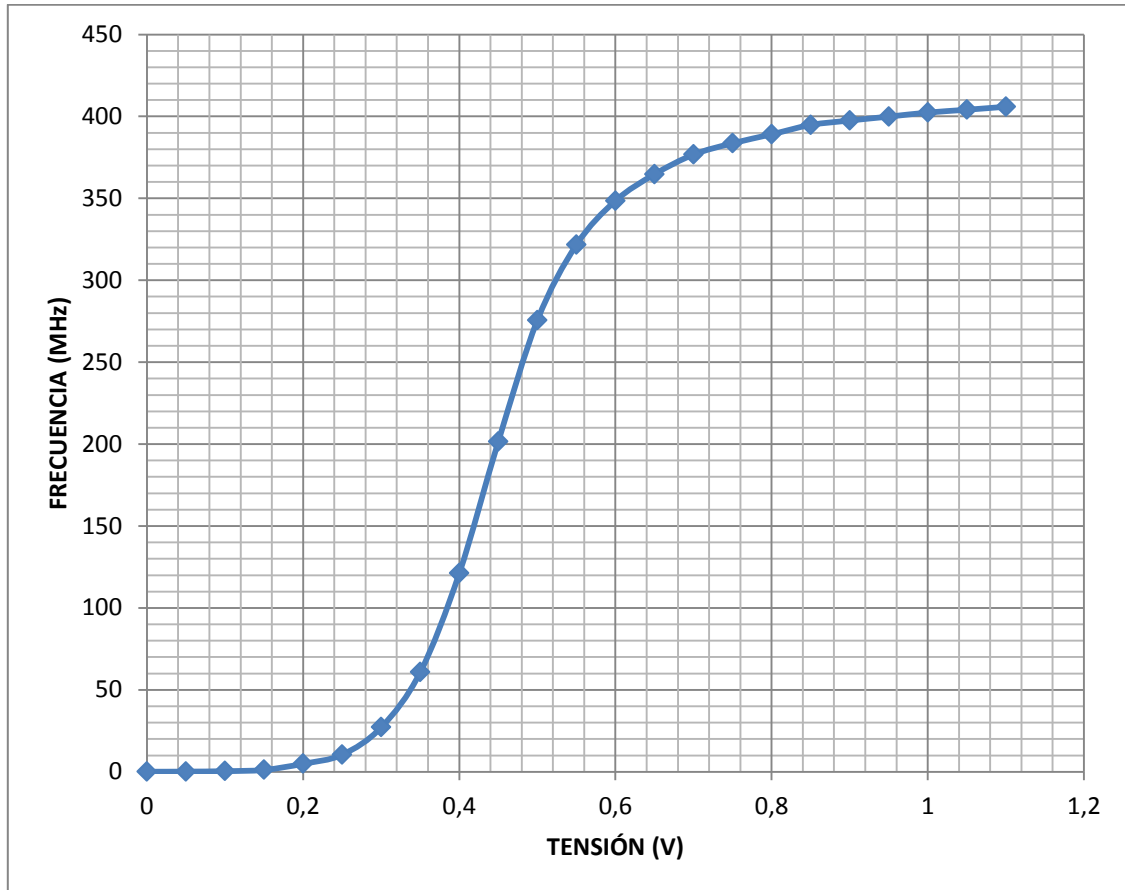


Fig. 4.1.6 Función de transferencia Current Starved VCO clásico de 3 etapas.

En la Fig. 4.1.6 vemos la función de transferencia del Current Starved VCO clásico y vemos que tiene un gran parecido con la función de transferencia de un inversor CMOS, en el cual tenemos una ganancia grande en el centro de la gráfica y conforme nos acercamos a los extremos dicha ganancia se hace cada vez menor.

El máximo rango de linealidad del circuito ocupa de 0,85 – 1,1 V aproximadamente, es decir, tenemos un rango de 0,25 de variación de tensión en el que nuestro circuito sea lineal. Esta linealidad se presenta en tensiones cercanas a la tensión de alimentación y podemos ver que la linealidad se presenta porque nuestro Current Starved VCO “se satura en frecuencia”, es decir, tiene muy poca variación en frecuencia, conforme llega a tensiones cercanas a la alimentación.

Lo siguiente que vamos a realizar es comprobar cómo afecta a nuestro Current Starved VCO el sustituir el Current Starved Inverter clásico por nuestra topología del Current Starved Inverter. Comprobaremos si aporta una mayor linealidad al circuito y si en efecto otorga un mayor rango de frecuencia de operación debido a que hemos aumentado la tensión que alimenta al inversor.

El esquemático, la simulación y la función de transferencia se representan en la Fig. 4.1.7, Fig. 4.1.9 y Fig. 4.1.10 respectivamente. En la Fig. 4.1.8 se muestra la topología propuesta por la que está formado nuestro nuevo Current Starved VCO,



donde primero vamos a atacar a los inversores directamente y luego propondremos una nueva etapa de entrada.

#### ▪ 4.1.3 Current Starved VCO con topología propuesta.

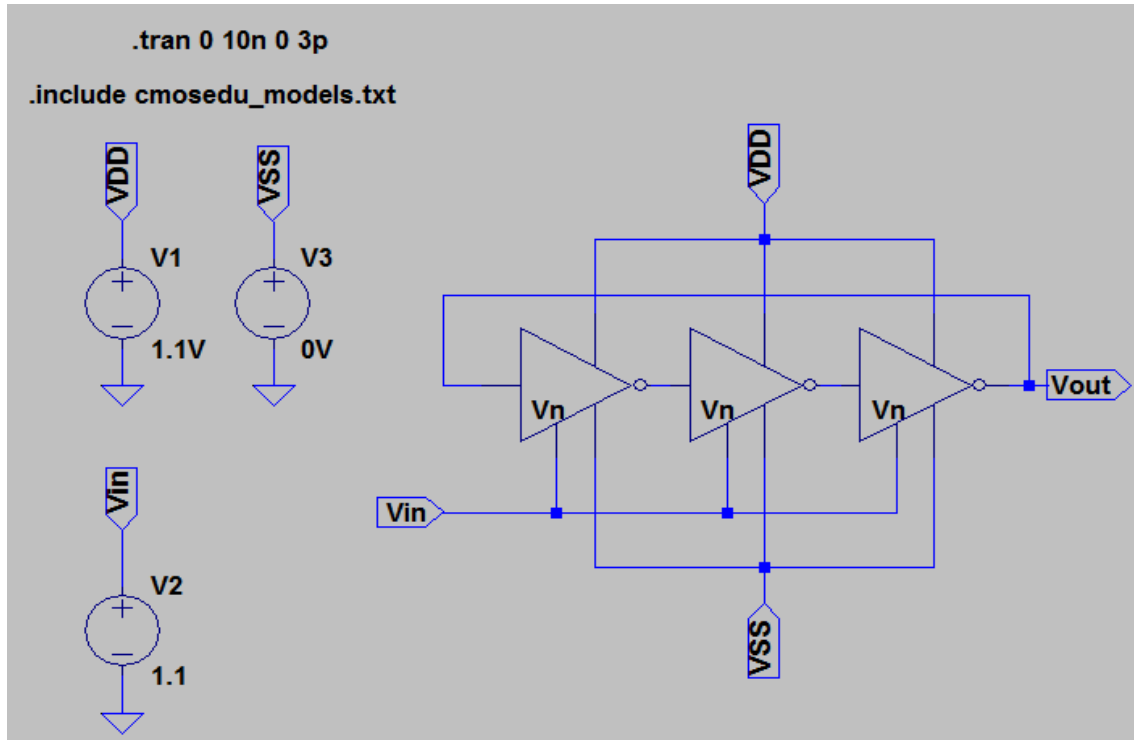


Fig. 4.1.7 Esquemático Current Starved VCO con topología propuesta.

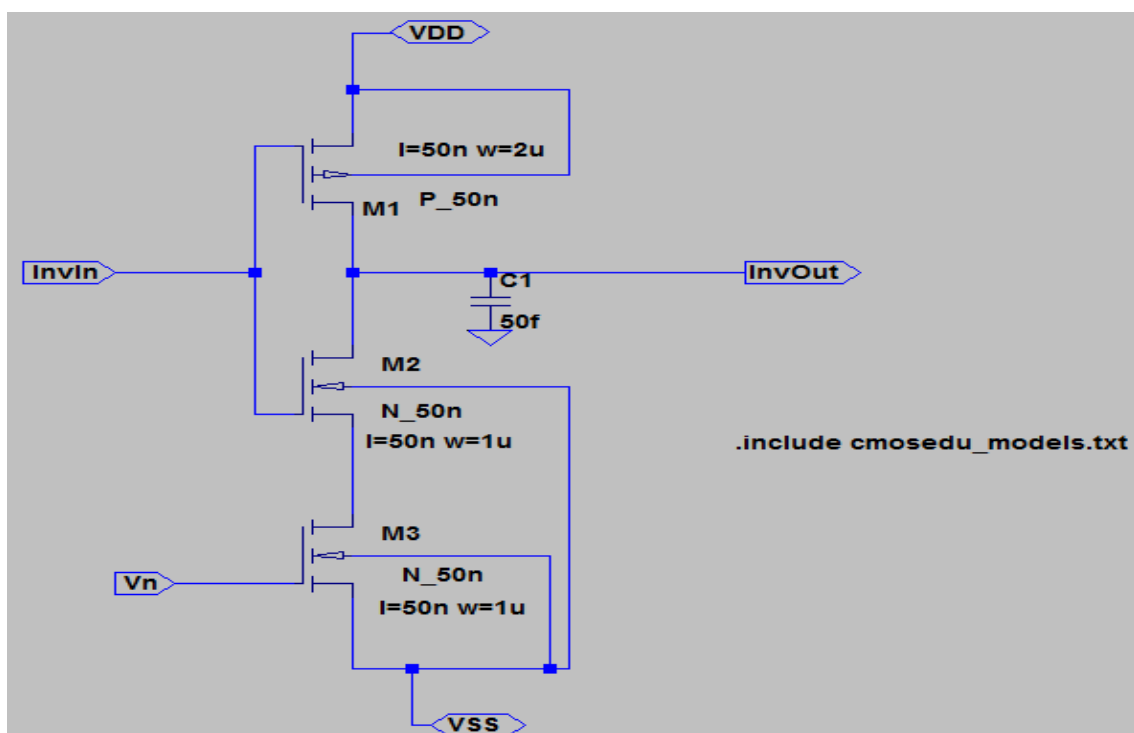


Fig. 4.1.8 Esquemático topología propuesta Current Starved Inverter.

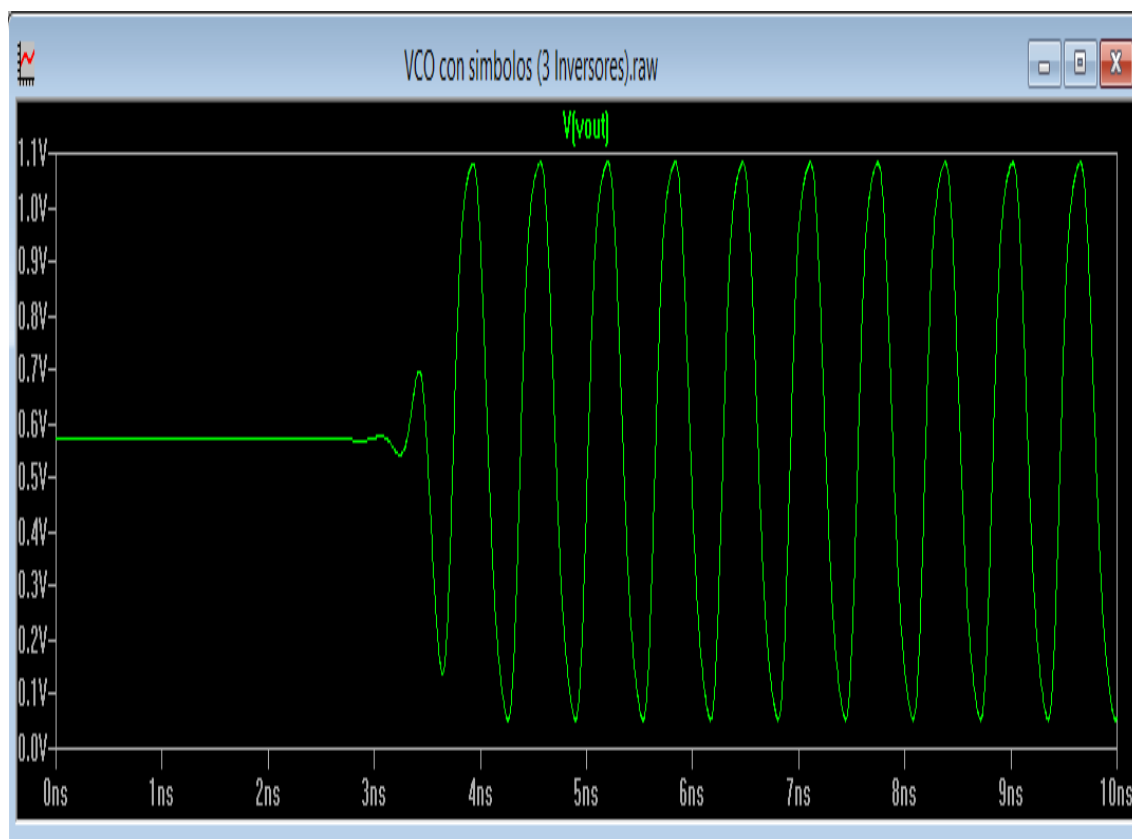


Fig. 4.1.9 Simulación Current Starved VCO de 3 etapas con topología propuesta.

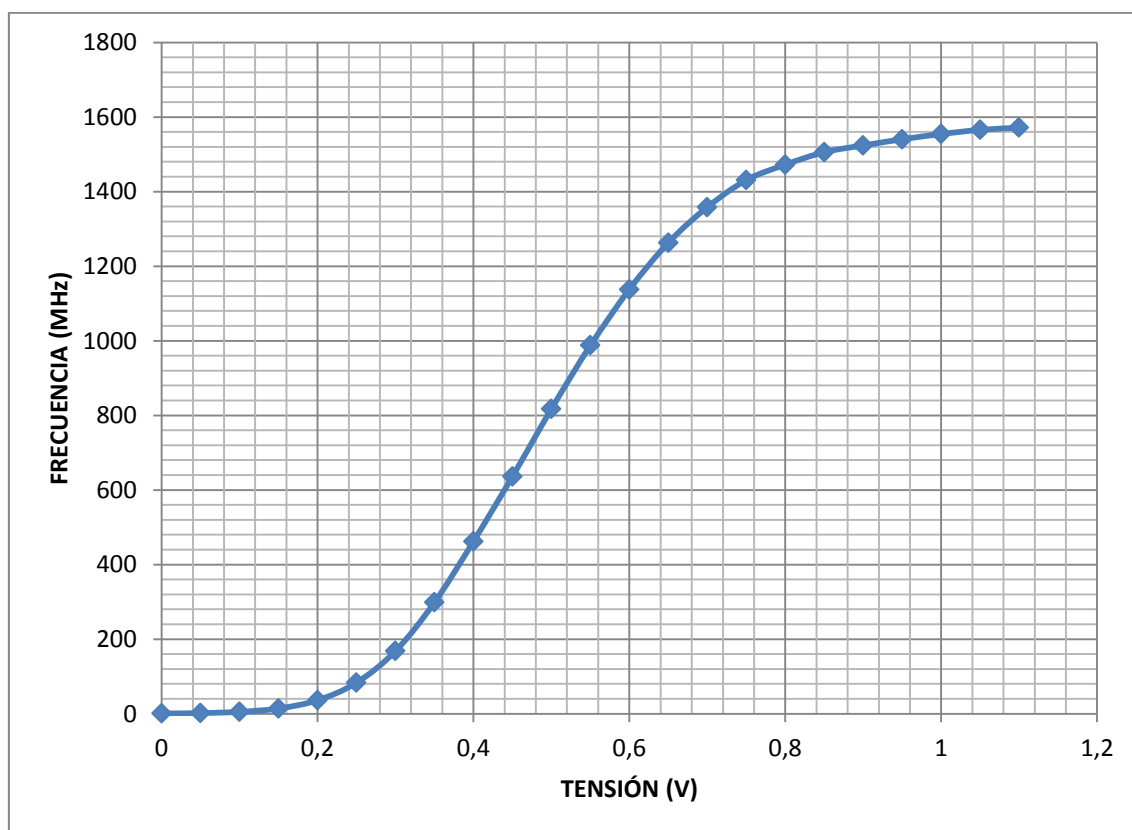


Fig. 4.1.10 Función de transferencia Current Starved VCO de 3 etapas con topología propuesta.

Si observamos las gráficas calculadas a partir de nuestra nueva topología vemos que hemos aumentado el rango de linealidad, aunque de manera mínima. Hemos pasado de tener un rango de linealidad de 0.85 V – 1.1 V a uno que esta entre 0.35 V – 0.65 V. Lo significativo es que ahora no tenemos el rango de máxima linealidad para tensiones cercanas a la tensión de alimentación, sino que lo hemos desplazado al centro de la gráfica de la función de transferencia, lo que significa que necesitamos menos tensión para alcanzar la zona de máxima linealidad.

Otra característica que observamos de los resultados de la topología propuesta para nuestro Current Starved VCO es que tenemos un mayor rango de frecuencias. Mientras que en el caso del Current Starved VCO formado por Current Starved Inverter clásicos teníamos un rango de frecuencias de 0.09 MHz – 405.89 MHz, en el caso del Current Starved VCO que utiliza la topología propuesta, alcanzamos un rango de frecuencias de 0.632 MHz – 1571.52 MHz. Esto es debido a que al quitar el transistor PMOS que estaba entre la tensión de alimentación y nuestro inversor hemos conseguido aumentar la tensión que le entra a cada inversor, con su correspondiente aumento del rango de funcionamiento.

Podemos concluir que, tal y como esperábamos, la topología que hemos propuesto nos ha ayudado a diseñar un circuito con mayores prestaciones en cuanto a linealidad de la función de transferencia y en cuanto a rango de frecuencias de oscilación en la salida.

Después de comprobar nuestra topología dentro del Current Starved VCO, ahora tenemos que implementar una nueva etapa de entrada para limitar la corriente que le entra a nuestro VCO, que mostramos en la Fig. 4.1.11 junto con su simulación, Fig. 4.1.12, y su función de transferencia, Fig. 4.1.13.

#### ■ 4.1.4 Current Starved VCO con nueva etapa de entrada.

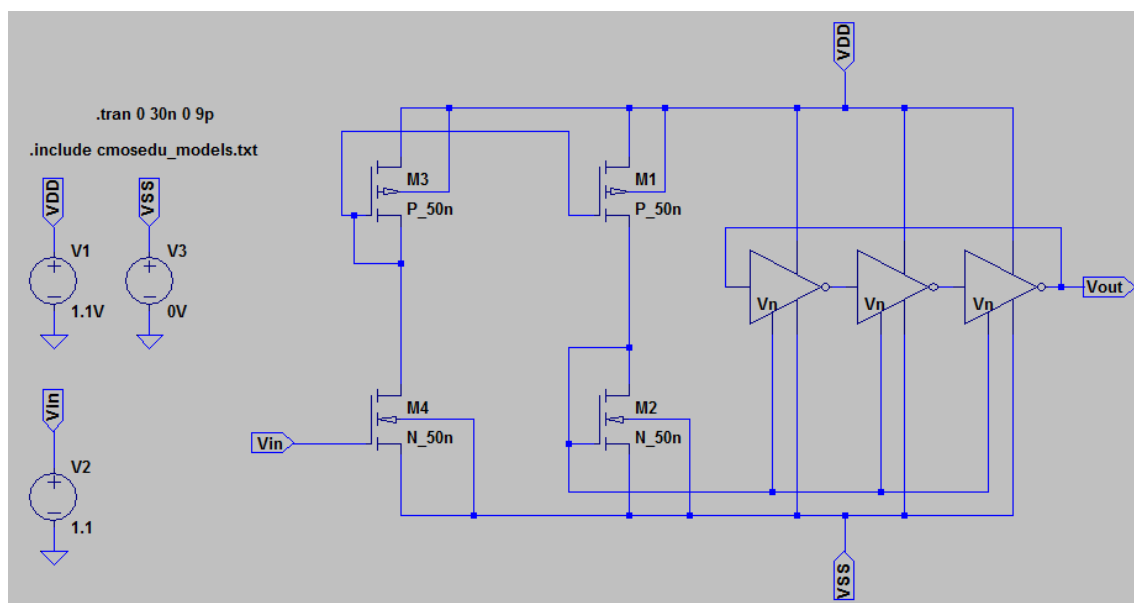


Fig. 4.1.11 Esquemático Current Starved VCO de 3 etapas con nueva etapa de entrada.

Nótese que hemos incluido además la nueva etapa de entrada (formada por los transistores M3 y M4) otro transistor M1 que es el que copia la corriente al transistor M2 para que esta corriente ataque a cada inversor del circuito.

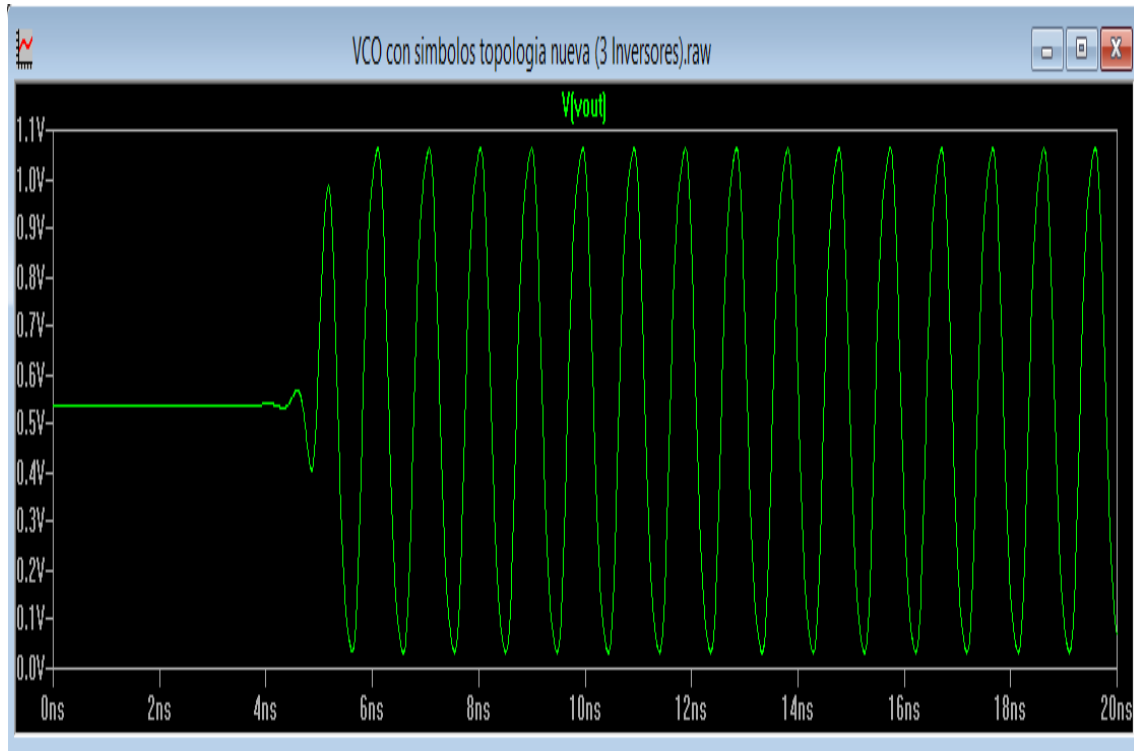


Fig. 4.1.12 Simulación Current Starved VCO de 3 etapas con nueva etapa de entrada.

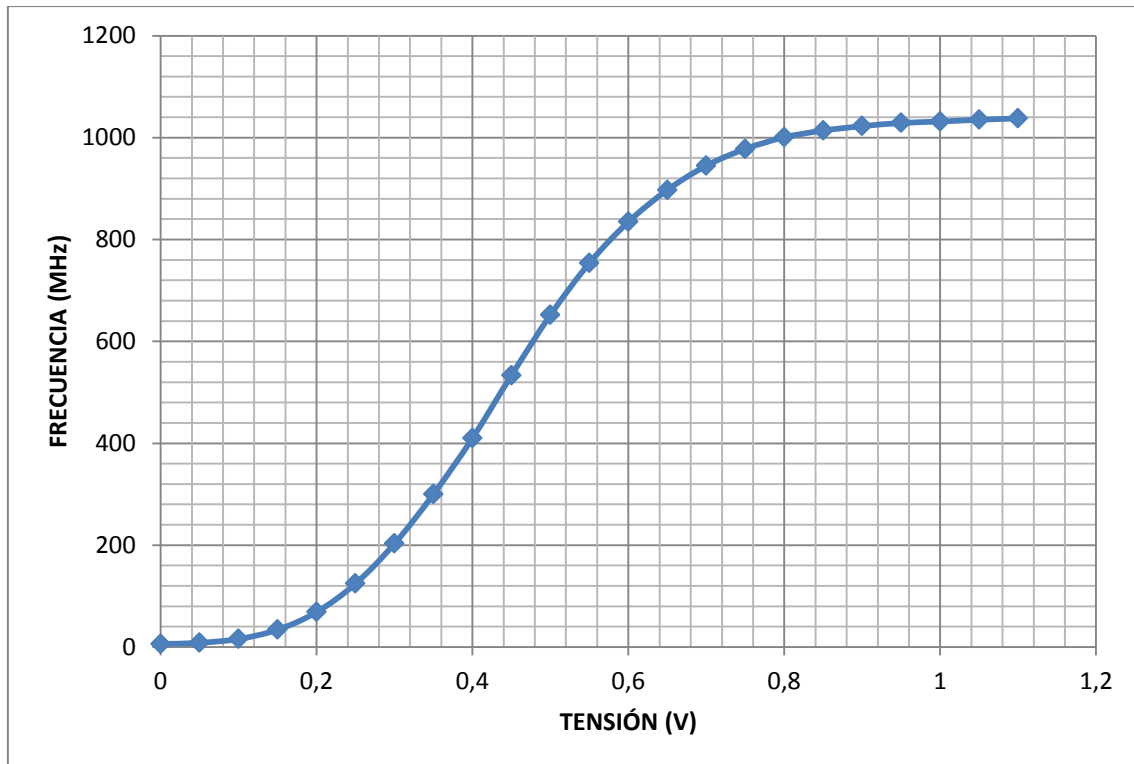


Fig. 4.1.13 Función de transferencia Current Starved VCO de 3 etapas con nueva etapa de entrada.

Los resultados de las simulaciones de esta topología muestran que la linealidad no ha variado respecto a la topología anterior y que además tenemos un rango de frecuencias menor que el anterior. Podríamos decir que hemos dado un paso atrás en la caracterización de nuestro circuito convertidor tensión-frecuencia, pero lo que hemos hecho es introducir esa nueva etapa de entrada con el fin de mostrar como haremos que el circuito tenga una linealidad mayor que en el apartado anterior. Lo único que tenemos que hacer es añadir una resistencia en la fuente del transconductor que está conectado a la tensión de entrada, de esta manera conseguiremos una conversión de tensión a corriente más lineal en el transconductor, y por lo tanto en el circuito. Esta forma de linealizar el circuito no es todo positiva, ya que estamos perdiendo la ganancia en el transconductor, pero como nuestro objetivo es aumentar la linealidad del circuito lo podemos pasar por alto.

Veamos si las imágenes de las Fig. 4.1.14, Fig. 4.1.15 y Fig. 4.1.16 apoyan nuestras predicciones.

#### ▪ 4.1.5 Current Starved VCO con $R = 10K$ .

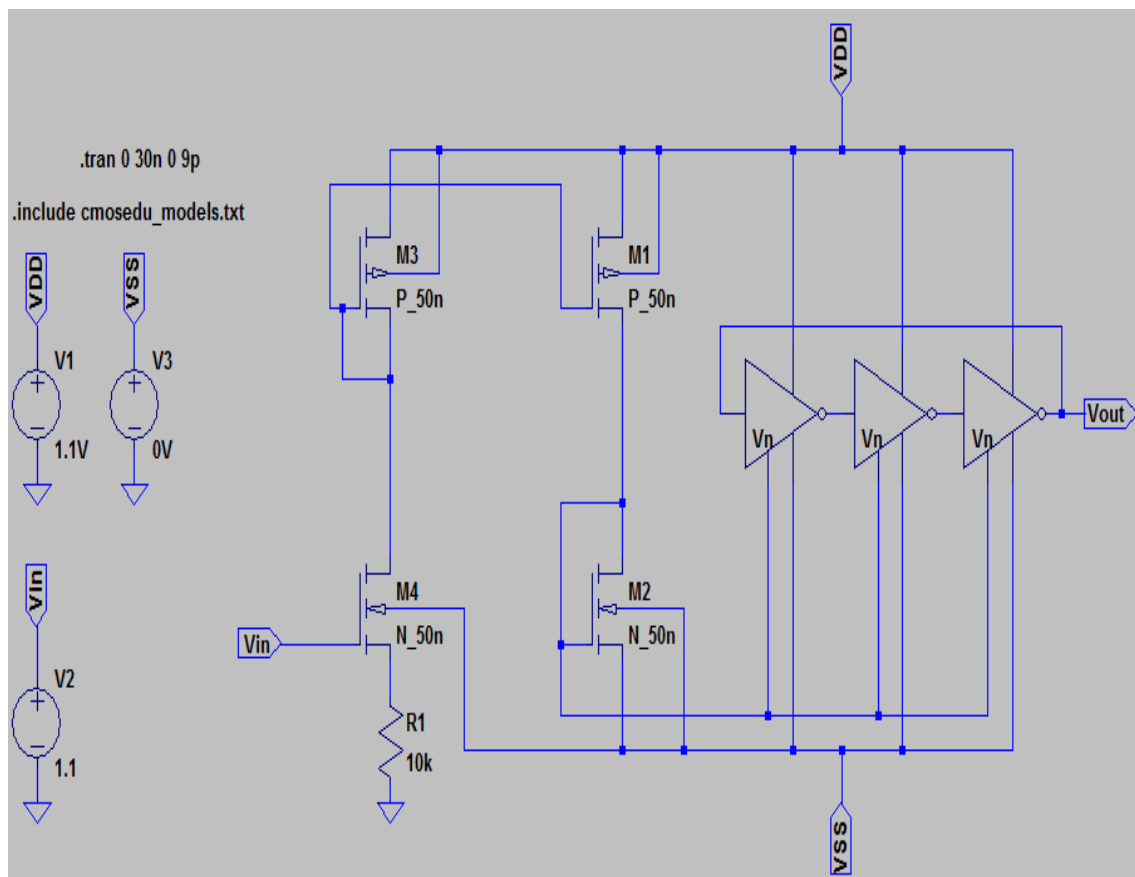


Fig. 4.1.14 Esquemático Current Starved VCO de 3 etapas con resistencia en la nueva etapa de entrada.

Para nuestra simulación hemos elegido un valor para la resistencia de 10 k $\Omega$ , pero cualquier valor que este en k $\Omega$  es válido (cuanto más alto sea el valor de la resistencia menor será la corriente y por lo tanto menor será la frecuencia de oscilación).

del circuito, mientras que si el valor de la resistencia es menor, tendremos una mayor corriente, es decir mayor frecuencia, pero por el contrario menos linealidad tendremos en la función de transferencia).

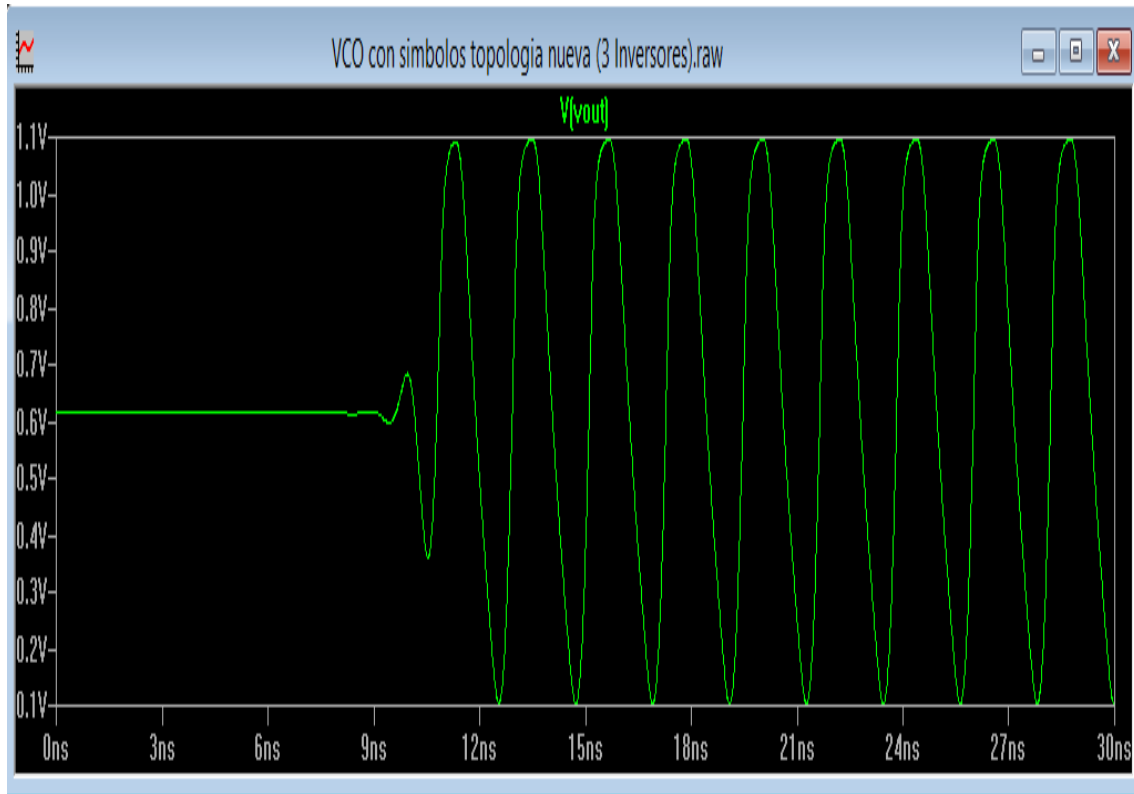


Fig. 4.1.15 Simulación Current Starved VCO de 3 etapas con resistencia en la nueva etapa de entrada.

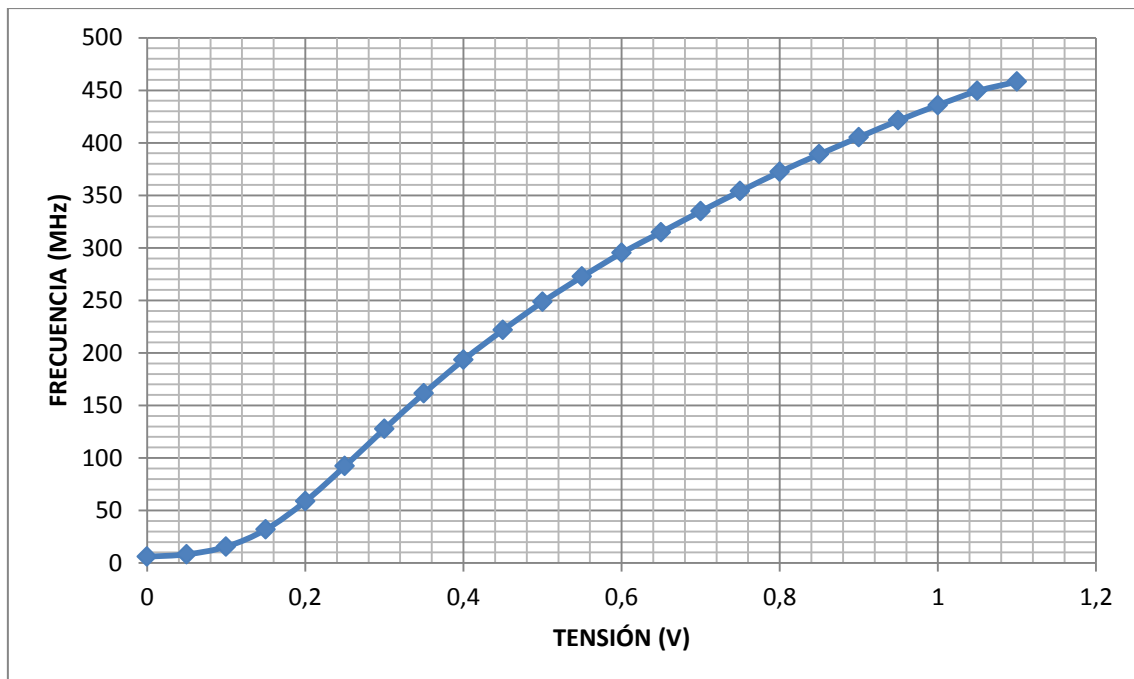


Fig. 4.1.16 Función de transferencia Current Starved VCO de 3 etapas con resistencia.

A la vista de las simulaciones esta que con esta nueva topología hemos conseguido linealizar el circuito de manera significativa tal y como esperábamos, ahora tenemos un rango de linealidad de 0.4 V – 1 V, lo que significa que tenemos un intervalo de 0.6 V dentro del rango máximo de linealidad.

Como también podemos apreciar, esto tiene un efecto negativo en la frecuencia, que ha disminuido a más de la mitad de la frecuencia máxima que teníamos con la topología anterior. Volvemos a decir lo mismo, nuestro objetivo es alcanzar la topología de máxima linealidad, sin preocuparnos de la frecuencia máxima de operación, por lo tanto no nos interesa esa reducción en la frecuencia de operación.

Una vez alcanzado el punto, en el cual, tenemos un rango de linealidad amplio tenemos que preocuparnos del ruido de nuestro circuito. Como hemos mencionado anteriormente, esto se soluciona diseñando nuestro Current Starved VCO de manera diferencial. De esta manera, además de minimizar el ruido, le otorgaremos al circuito un margen extra de linealidad como nos mostraran las gráficas Fig. 4.1.17, donde representaremos el esquemático del circuito, Fig. 4.1.18, donde representaremos la simulación de nuestro esquemático, y Fig. 4.1.19 que nos mostrara la función de transferencia para ver si estamos en lo cierto con nuestras predicciones.

#### ▪ 4.1.6 Current Starved VCO en modo diferencial.

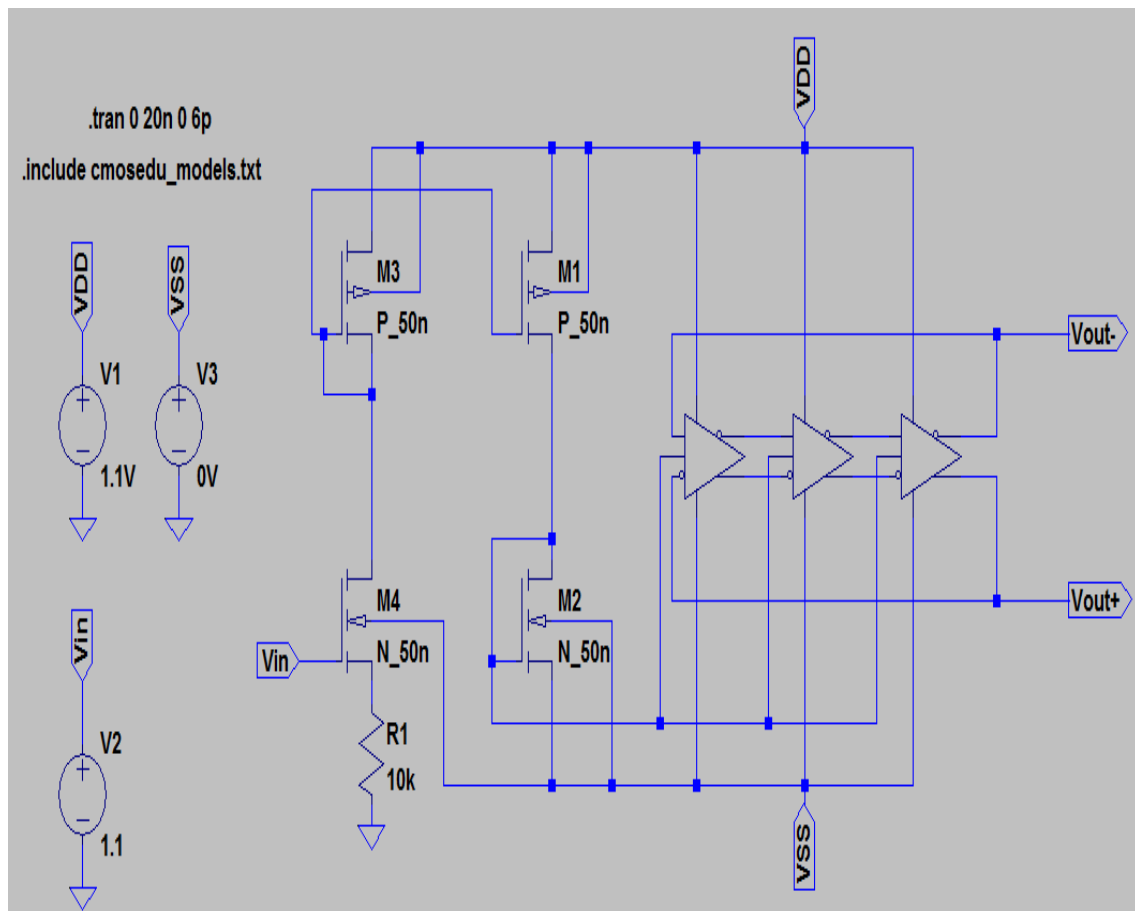


Fig. 4.1.17 Esquemático Current Starved VCO de 3 etapas en modo diferencial.

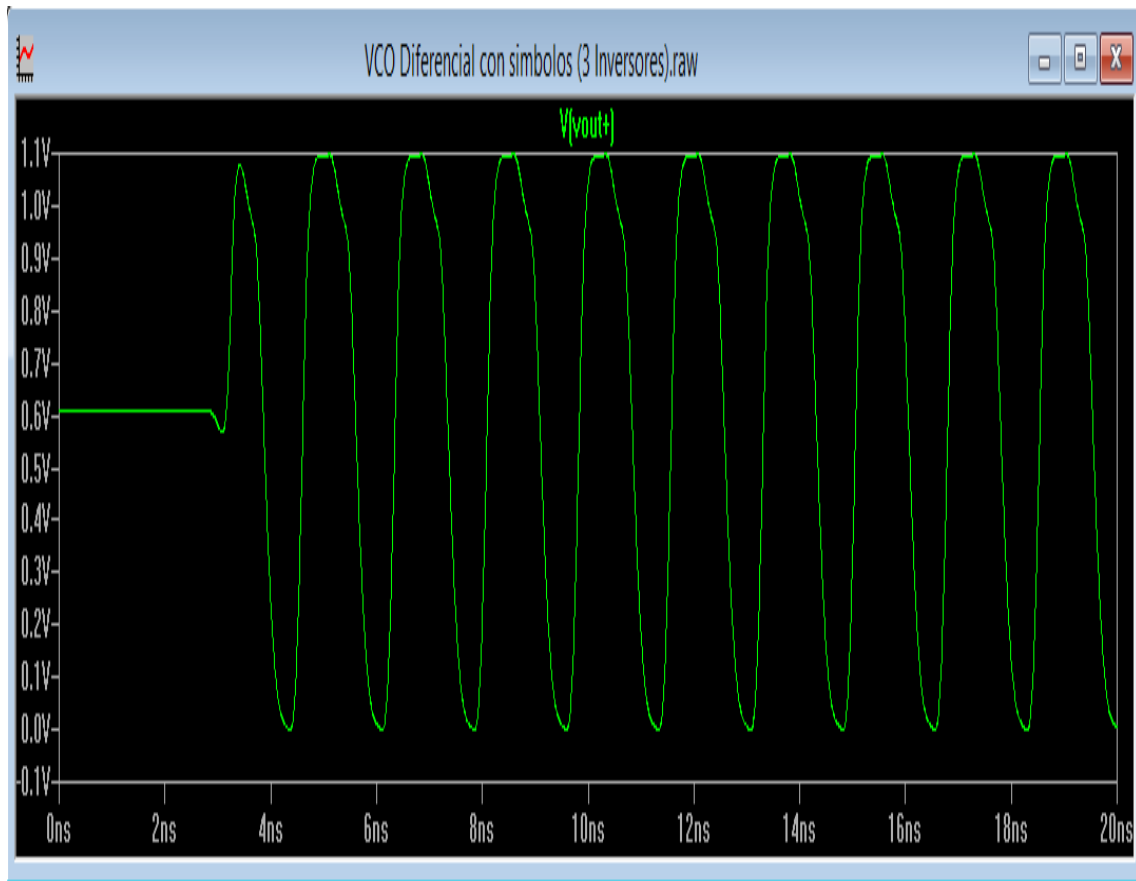


Fig. 4.1.18 Simulación Current Starved VCO de 3 etapas en modo diferencial.

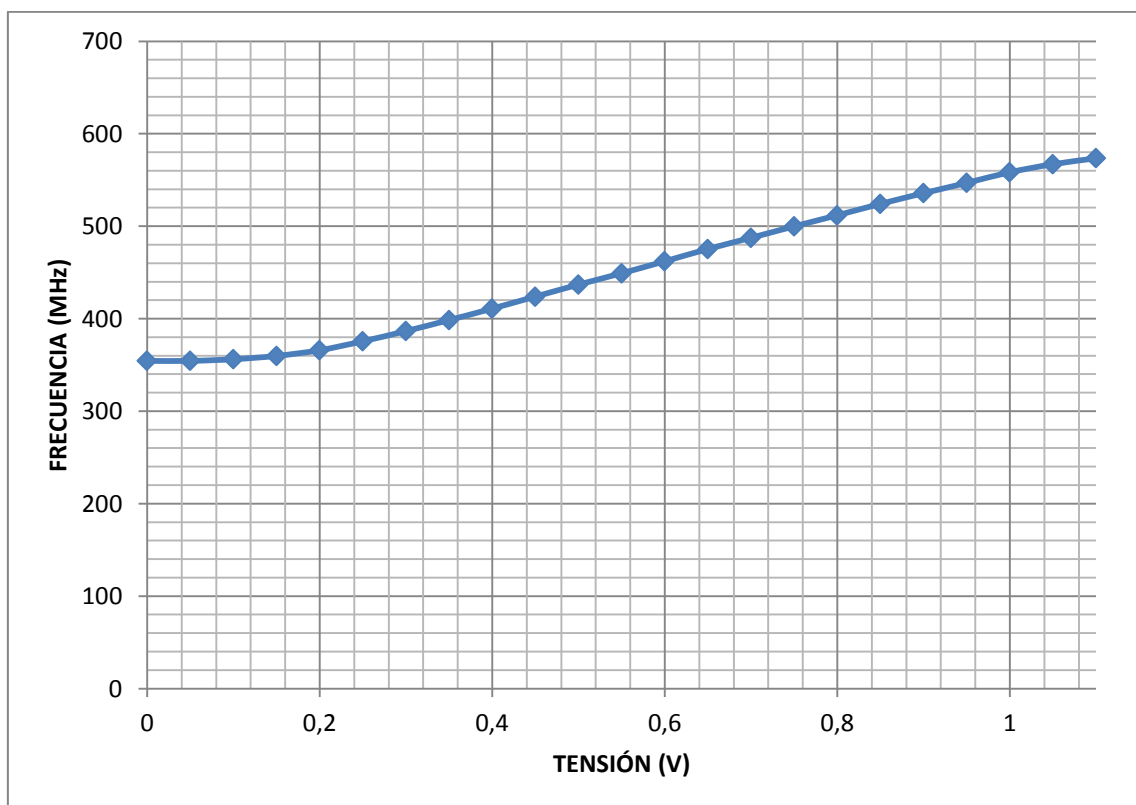


Fig. 4.1.19 Función de transferencia Current Starved VCO de 3 etapas en modo diferencial.



Los resultados de diseñar el Current Starved VCO en modo diferencial son los que esperábamos, el circuito presenta una mayor linealidad y además hemos solventado el problema del ruido gracias a esta arquitectura.

De nuevo tenemos el problema del apartado anterior, ya que hemos disminuido el rango de frecuencia máxima de operación pero hemos conseguido importantes ventajas con la implementación del circuito final.

El rango de linealidad nuestro circuito final es de 0.2 V – 1.05 V, por lo que tenemos un intervalo de 0.85 V para operar en el rango de máxima linealidad. Si lo comparamos con el rango inicial de linealidad nos damos cuenta de que lo hemos aumentado desde 0.25 V hasta 0.85 V, todo ello gracias a las diferentes topologías probadas y estudiadas.

Por último, solo nos quedaría comprobar que nuestro circuito modula en frecuencia. Para comprobarlo vamos a dejar de estudiarlo en corriente continua y vamos a tener en la entrada una señal sinusoidal que tiene los siguientes parámetros:

- Tensión de Offset = 0.55 V.
  - Amplitud = 0.55 V.
  - Frecuencia = 5 MHz.

La razón de poner una tensión de offset es porque de esta manera la señal parte desde la mitad de la señal de salida, que bascula entre los valores de GND y VDD (0 V y 1.1 V respectivamente), y con esa amplitud, la señal sinusoidal de la entrada también bascula entre los valores de GND y VDD.

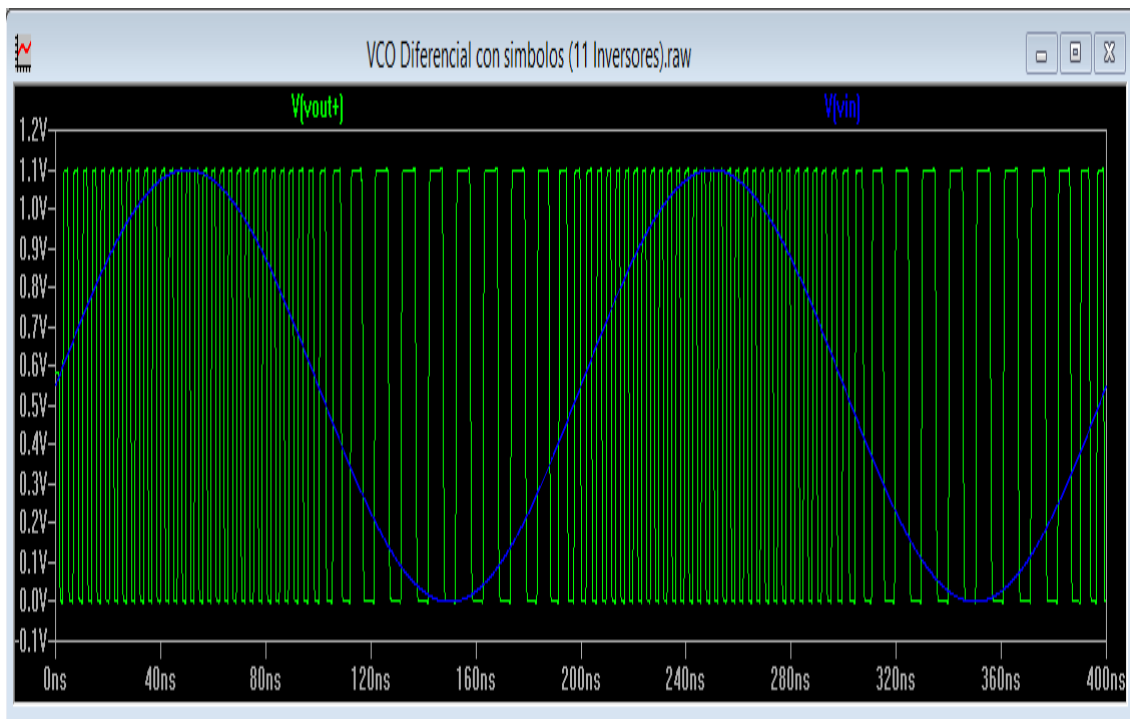


Fig. 4.1.20 Simulación Current Starved VCO de 3 etapas con señal sinusoidal a la entrada.

Tras ver la Fig. 4.1.20, podemos concluir que nuestro VCO funciona correctamente y puede ser empleado en un circuito más complejo, como por ejemplo un ADC. Este es uno de los muchos ejemplos que para los que puede servir nuestro circuito VCO.

También vamos a comprobar que sucedería si en lugar de tener 3 etapas de inversores, tuviésemos, por ejemplo, 11 etapas de inversores.

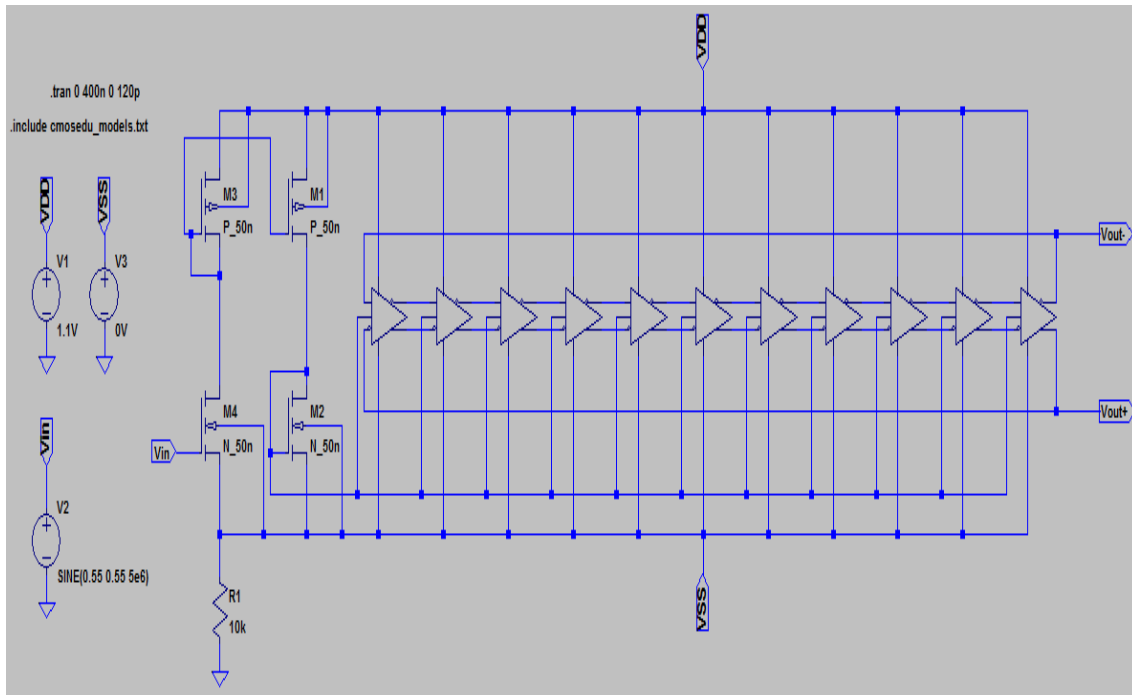


Fig. 4.1.21 Esquemático Current Starved VCO de 11 etapas en modo diferencial.

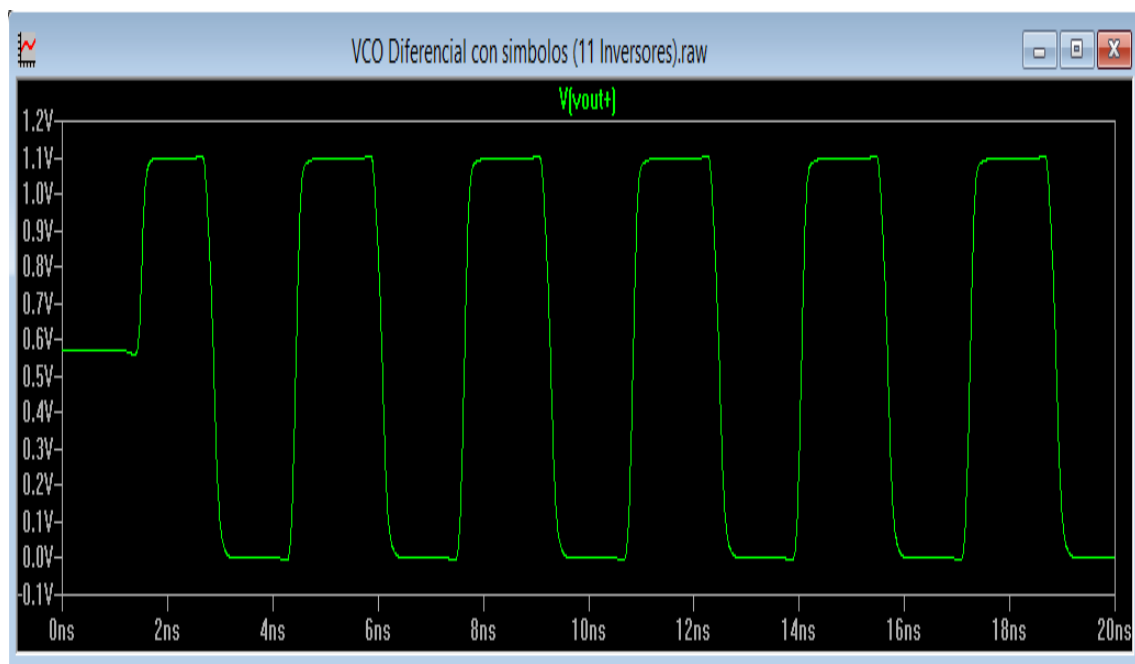


Fig. 4.1.22 Simulación Current Starved VCO de 11 etapas en modo diferencial.

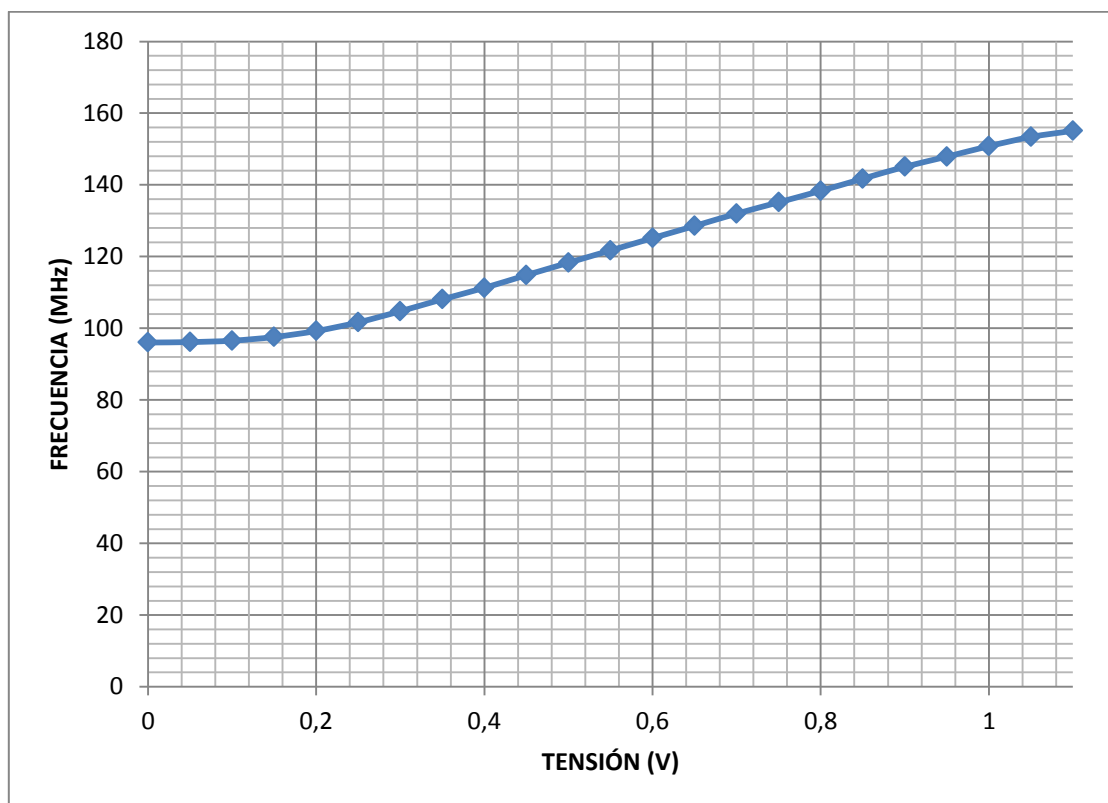


Fig. 4.1.23 Función de transferencia Current Starved VCO de 3 etapas en modo diferencial.

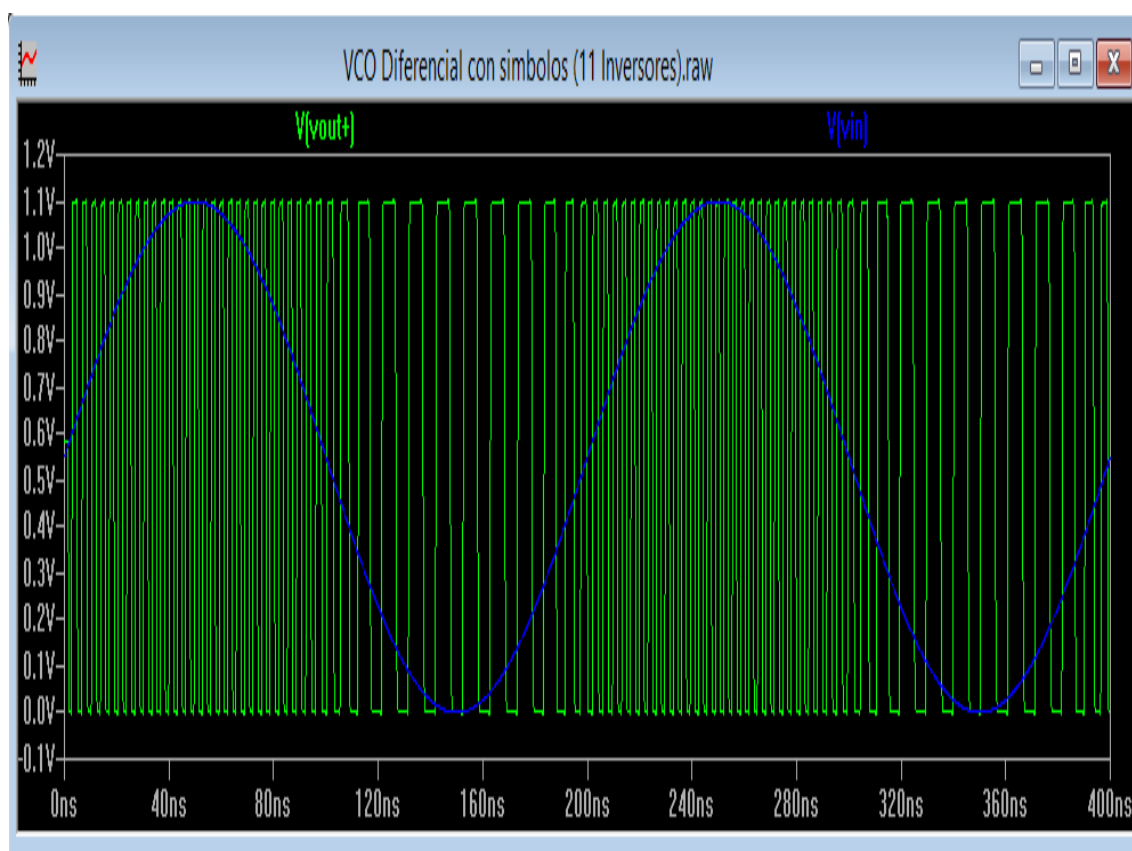


Fig. 4.1.24 Simulación Current Starved VCO de 3 etapas con señal sinusoidal a la entrada.

Si comparamos la Fig. 4.1.19 y la Fig. 4.1.23, veremos que no existe ninguna diferencia de linealidad en la función de transferencia. La diferencia está en el rango de frecuencia que tiene cada circuito, siendo menor dicho rango cuantas más etapas de inversores tengamos. Además, si comparamos la Fig. 4.1.18 y la Fig. 4.1.22 vemos que el añadir más etapas a nuestro circuito hace que tengamos una forma de onda más cuadrada, en lugar de una sinusoidal, aunque no perfecta, como vemos en el caso de tener 3 etapas de inversores.

En nuestro caso hemos elegido una configuración de 3 etapas de inversores porque así el circuito consumirá menos potencia y tendrá una velocidad de operación mayor que si tuviésemos más etapas.

## CAPITULO 5: Conclusiones.

### ○ 5.1 Conclusiones.

Este Trabajo Fin de Grado ha presentado el desarrollo del diseño de un VCO controlado por corriente en tecnología CMOS, de manera que hemos partido de una topología dada y hemos propuesto una distinta para cumplir con el objetivo del Trabajo Fin de Grado.

Hemos partido de un VCO con la configuración de un oscilador en anillo y paso a paso hemos presentado una manera de implementar un VCO que presente una función de transferencia que se acerque más a la de un VCO ideal. Tras implementar el VCO en anillo queríamos controlar la frecuencia de oscilación a nuestro antojo y eso lo podíamos conseguir a través de tres maneras distintas que son:

- Variar la tensión de alimentación.
- Variar la relación de tamaño entre los inversores CMOS.
- Variar la corriente que entra a los inversores CMOS.

Las dos primeras opciones no son posibles a nivel eficaz, como se ha explicado antes, por lo tanto, nos queda la opción de variar la corriente que entra a los inversores CMOS. Esto lo podemos conseguir mediante una topología conocida como Current Starved Inverter, que consiste en añadir dos transistores más al inversor entre ellos, un PMOS entre el inversor y la tensión de alimentación y otro NMOS entre el inversor y GND.

Después de estudiar esta topología, nosotros proponemos una algo distinta, se trata de un Current Starved VCO pero suprimiendo el transistor PMOS que esta entre el inversor y la tensión de alimentación, y así, tener solo una tensión de control, o mejor dicho corriente de control, que nos regule al inversor CMOS.

Una vez tenemos nuestro VCO con la topología que hemos propuesto para el circuito, nos centramos en aumentar el rango de linealidad. Lo primero que haremos es intentar linealizar la etapa de entrada de nuestro circuito a partir de la configuración de una fuente de corriente que proponemos, de manera que tengamos cuatro transistores donde dos harán de diodos. Esta fuente de corriente lo que hará será limitar la corriente que entra a los inversores mediante nuestro terminal de control. Esta corriente viene copiada del transconductor conectado a la tensión de entrada del VCO.

El siguiente pasó una vez que hemos comprobado que esa topología aumenta la linealidad, es estudiar cómo podemos linealizar aún más la función de transferencia y concluimos en que tenemos dos opciones. La primera de ellas es linealizar más la etapa de entrada colocando una resistencia en la fuente del transconductor, de esta manera logramos hacer la corriente que circula más lineal, pero en contraposición perdemos ganancia en el transconductor. La segunda manera que tenemos es diseñar

nuestro Current Starved Inverter propuesto de manera diferencial y conseguir tener un Current Starved VCO en modo diferencial. Ya que las dos formas de linealizar el circuito son compatibles, implementaremos las dos, con la ventaja que al diseñar el circuito de manera diferencial estamos añadiendo cierta inmunidad al ruido que antes no tenía nuestro circuito.

Una conclusión que deberíamos obtener de este proyecto es que siempre que queremos maximizar un parámetro, en nuestro caso de un circuito electrónico, nunca sale gratis, siempre tenemos que sacrificar algo. En nuestro caso poco a poco hemos ido ganando linealidad a la hora de convertir la tensión de entrada en frecuencia de salida pero hemos renunciado a un mayor rango de frecuencia o a una mayor ganancia del transconductor que hemos conectado a la tensión de entrada.

## ○ **5.2 Futuros Trabajos.**

Tras diseñar y caracterizar nuestro VCO controlado por corriente en tecnología CMOS, queda la parte de realizarlo físicamente, es decir, elaborar su layout y fabricarlo, para comprobar que no tendríamos problemas físicos como pueden ser el “mismatch”. El mismatch se define como la diferencia entre componentes diseñados y utilizados de manera idéntica, por lo que aunque hayamos diseñado perfectamente nuestro circuito de manera teórica, en la práctica puede comportarse de manera distinta a la esperada.

Una vez que tenemos nuestro VCO fabricado tenemos que ser capaces de implementarlo en un circuito posterior, del que sería bloque fundamental, como los que hemos mencionado anteriormente, como podría ser un PLL o un ADC.

## CAPITULO 6: Anexos y Bibliografía.

### ○ 6.1 Anexos.

#### Modelos utilizados en nuestra herramienta para diseño y simulación.

Short Channel models from CMOS, Circuit Design, Layout and Simulation.

50nm BSIM4 models VDD=1V, see CMOSedu.com

#### **Model N\_50n NMOS level = 54**

+binunit = 1	paramchk= 1	mobmod = 0	
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 0
+diomod = 1	rdsmod = 0	rbodymod = 1	rgatemod = 1
+permod = 1	acnqsmmod = 0	trnqsmmod = 0	
+tnom = 27	toxe = 1.4e-009	toxp = 7e-010	toxm = 1.4e-009
+epsrox = 3.9	wint = 5e-009	lint = 1.2e-008	
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.4e-009
+vth0 = 0.22	k1 = 0.35	k2 = 0.05	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 2.8	dvt1 = 0.52
+dvt2 = -0.032	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 2	minv = 0.05	voffl = 0	dvtp0 = 1e-007
+dvtp1 = 0.05	lpe0 = 5.75e-008	lpeb = 2.3e-010	xj = 2e-008
+ngate = 5e+020	ndep = 2.8e+018	nsd = 1e+020	phin = 0
+cdsc = 0.0002	cdscb = 0	cdscd = 0	cit = 0
+voff = -0.15	nfactor = 1.2	eta0 = 0.15	etab = 0
+vfb = -0.55	u0 = 0.032	ua = 1.6e-010	ub = 1.1e-017
+uc = -3e-011	vsat = 1.1e+005	a0 = 2	ags = 1e-020

+a1 = 0	a2 = 1	b0 = -1e-020	b1 = 0
+keta = 0.04	dwg = 0	dwb = 0	pclm = 0.18
+pdiblc1 = 0.028	pdiblc2 = 0.022	pdiblc3 = -0.005	drou = 0.45
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 1e-007
+fprout = 0.2	pdits = 0.2	pditsd = 0.23	pditsl = 2.3e+006
+rsh = 3	rdsw = 150	rsw = 150	rdw = 150
+rdswmin = 0	rdwmin = 0	rswmin = 0	prwg = 0
+prwb = 6.8e-011	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8			
+aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002	
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.017	bigc = 0.0028
+cigc = 0.002	aigsd = 0.017	bigsd = 0.0028	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 6.238e-010	cgdo = 6.238e-010	cgbo = 2.56e-011	cgdl = 2.495e-10
+cgsl = 2.495e-10	ckappas = 0.02	ckappad = 0.02	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.21	kt1l = 0.0	kt2 = -0.042	ute = -1.5
+ua1 = 1e-009	ub1 = -3.5e-019	uc1 = 0	prr = 0
+at = 53000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd = 0.01	ijthsrev = 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1



+ijthdfwd = 0.01	ijthdrev = 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 5e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0e-006	dmci = 0e-006	dmdg = 0e-006	dmcgt = 0e-007
+dwj = 0e-008	xgw = 0e-007	xgl = 0e-008	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbsb = 15	ngcon = 1

**Model P\_50n PMOS level = 54**

+binunit = 1	paramchk = 1	mobmod = 0	
+capmod = 2	igcmmod = 1	igbmod = 1	geomod = 0
+diomod = 1	rdsmod = 0	rbodymod = 1	rgatemod = 1
+permod = 1	acnqsmmod = 0	trnqsmmod = 0	
+tnom = 27	toxe = 1.4e-009	toxp = 7e-010	toxm = 1.4e-009
+epsrox = 3.9	wint = 5e-009	lint = 1.2e-008	
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.4e-009
+vth0 = -0.22	k1 = 0.39	k2 = 0.05	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 3.9	dvt1 = 0.635
+dvt2 = -0.032	dvt0w = 0	dvt1w = 0	dvt2w = 0

+dsub = 0.7	minv = 0.05	voffl = 0	dvtp0 = 0.5e-008
+dvtp1 = 0.05	lpe0 = 5.75e-008	lpeb = 2.3e-010	xj = 2e-008
+ngate = 5e+020	ndep = 2.8e+018	nsd = 1e+020	phin = 0
+cdsc = 0.000258	cdscb = 0	cdscd = 6.1e-008	cit = 0
+voff = -0.15	nfactor = 2	eta0 = 0.15	etab = 0
+vfb = 0.55	u0 = 0.0095	ua = 1.6e-009	ub = 8e-018
+uc = 4.6e-013	vsat = 90000	a0 = 1.2	ags = 1e-020
+a1 = 0	a2 = 1	b0 = -1e-020	b1 = 0
+keta = -0.047	dwg = 0	dwb = 0	pclm = 0.55
+pdiblc1 = 0.03	pdiblc2 = 0.0055	pdiblc3 = 3.4e-008	drou = 0.56
+pvag = 1e-020	delta = 0.014	pscbe1 = 8.14e+008	pscbe2 = 9.58e-007
+fprout = 0.2	pdits = 0.2	pditsd = 0.23	pditsl = 2.3e+006
+rsh = 3	rdsw = 250	rsw = 160	rdw = 160
+rdswmin = 0	rdwmin = 0	rswmin = 0	prwg = 3.22e-008
+prwb = 6.8e-011	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8			
+aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002	
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.69	bigc = 0.0012
+cigc = 0.0008	aigsd = 0.0087	bigsd = 0.0012	cigsd = 0.0008
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 7.43e-010	cgdo = 7.43e-010	cgbo = 2.56e-011	cgdl = 1e-014
+cgsl = 1e-014	ckappas = 0.5	ckappad = 0.5	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	

+kt1 = -0.19	kt1l = 0	kt2 = -0.052	ute = -1.5
+ua1 = -1e-009	ub1 = 2e-018	uc1 = 0	prt = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd = 0.01	ijthsrev = 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd = 0.01	ijthdrev = 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 5e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0e-006	dmci = 0e-006	dmdg = 0e-006	dmcgt = 0e-007
+dwj = 0e-008	xgw = 0e-007	xgl = 0e-008	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbbs = 15	ngcon = 1

○ **6.2 Bibliografía.**

- [1] R. Jacob Baker. "CMOS. Circuit Design, Layout, and Simulation", 2010.
- [2] Behzad Razavi. "Design of Analog CMOS Integrated Circuits", 2001.
- [3] Antonio Rubio, Josep Altet, Xavier Aragonés, José Luis González, Diego Mateo, Francesc Moll, "Diseño de circuitos y sistemas integrados", 2003.
- [4] Thomas L. Floyd. "Fundamentos de sistemas digitales", 2006.
- [5] Adel S. Sedra, Kenneth Carless Smith. "Circuitos Microelectrónicos", 2006.
- [6] Cristina Núñez Domínguez. PFC: "Diseño de un amplificador operacional en 65nm CMOS para aplicaciones de bajo voltaje y alta velocidad", 2011.
- [7] cmosedu.com. "LTspice manual".

○ **6.3 Artículos.**

- [1] Francisco Rafael Trejo Macotela, Alejandro Sánchez Díaz. "Oscilador Controlado por Corriente en bajo voltaje para aplicaciones en radiofrecuencia", 2001.
- [2] Madhusudan Kulkarni, Kalmeshwar N. Hosur. "Design of a linear and wide range Current Starved Voltage-Controlled Oscillator for PLL", 2013.